

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 1)

(11)特許番号

第2978477号

(45)発行日 平成11年(1999)11月15日

(24)登録日 平成11年(1999) 9月10日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 1 L 27/115  
21/8247  
29/788  
29/792

H 0 1 L 27/10 4 3 4  
29/78 3 7 1

請求項の数19(全 33 頁)

(21)出願番号 特願平10-165733

(22)出願日 平成10年(1998) 6月12日

審査請求日 平成10年(1998) 6月12日

(73)特許権者 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 宿利 章二

東京都小平市上水本町五丁目20番 1 号

株式会社日立製作所 半導体事業部内

(72)発明者 目黒 怜

東京都小平市上水本町五丁目20番 1 号

株式会社日立製作所 半導体事業部内

(72)発明者 黒田 謙一

東京都小平市上水本町五丁目20番 1 号

株式会社日立製作所 半導体事業部内

(74)代理人 弁理士 筒井 大和

審査官 正山 旭

最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

1

(57)【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第 2 導電型の第 1、第 2 半導体領域が形成され、前記第 1 半導体領域と前記第 2 半導体領域との間にチャネル領域が形成される M I S F E T によって不揮発性のメモリセルが構成された半導体集積回路装置であって、

前記ゲート絶縁膜は、少なくとも前記第 1 半導体領域側が第 1 酸化シリコン膜、窒化シリコン膜および第 2 酸化シリコン膜を積層した 3 層の絶縁膜からなり、前記メモリセルの書き込みは、前記第 2 半導体領域を前記第 1 半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

2

【請求項 2】 半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第 2 導電型の第 1、第 2 半導体領域が形成され、前記第 1 半導体領域と前記第 2 半導体領域との間にチャネル領域が形成される M I S F E T によって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、少なくとも前記第 1 半導体領域側が第 1 酸化シリコン膜、窒化シリコン膜および第 2 酸化シリコン膜を積層した 3 層の絶縁膜からなり、前記第 1 半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第 2 半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低く、前記第 1 半導体領域側でホットエレクトロンを発生させることにより、前記窒化シリコン膜に前記ホットエレクトロンを注

入することを特徴とする半導体集積回路装置。

【請求項3】 半導体基板上に形成されたゲート絶縁膜上にワード線と電氣的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなり、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度と異なることを特徴とする半導体集積回路装置。

【請求項4】 請求項1または3記載の半導体集積回路装置であって、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低いことを特徴とする半導体集積回路装置。

【請求項5】 請求項1、2または4記載の半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側が前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなることを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5のいずれか一項に記載の半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側と前記第2半導体領域側とがほぼ同じ電氣的容量膜厚を有していることを特徴とする半導体集積回路装置。

【請求項7】 請求項1、2、4、5または6記載の半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側および前記第2半導体領域側が、前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなることを特徴とする半導体集積回路装置。

【請求項8】 請求項1、3、4、5、6または7記載の半導体集積回路装置であって、前記メモリセルの書き込みは、前記ゲート絶縁膜の一部を構成する前記窒化シリコン膜中にホットエレクトロンを注入して行うことを特徴とする半導体集積回路装置。

【請求項9】 請求項1～8のいずれか一項に記載の半導体集積回路装置であって、前記ゲート絶縁膜の少なくとも一部を構成する前記3層の絶縁膜のうち、前記窒化シリコン膜の下層に形成された前記第1酸化シリコン膜の膜厚は、直接トンネル電流が流れる膜厚よりも厚いことを特徴とする半導体集積回路装置。

【請求項10】 請求項1～9のいずれか一項に記載の

半導体集積回路装置であって、前記第2半導体領域は、その一端が前記ゲート電極の下部に延在する第1導電型の半導体領域と、その一端が前記ゲート電極から離間した第2導電型の半導体領域とからなり、前記第1半導体領域は、第2導電型で構成されていることを特徴とする半導体集積回路装置。

【請求項11】 請求項1～10のいずれか一項に記載の半導体集積回路装置であって、前記メモリセルの読み出しは、前記第1半導体領域を前記第2半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【請求項12】 請求項1～10のいずれか一項に記載の半導体集積回路装置であって、前記メモリセルの読み出しは、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【請求項13】 請求項1～12のいずれか一項に記載の半導体集積回路装置であって、前記第1、第2半導体領域の一方の上部の絶縁膜に形成された第1接続孔に埋め込まれたプラグによってソース線が形成され、前記第1、第2半導体領域の他方の上部の前記絶縁膜に形成された第2接続孔に埋め込まれたプラグを介して、前記第1、第2半導体領域の他方にビット線が接続されていることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置であって、前記第1接続孔および前記第2接続孔は、前記MISFETのゲート電極のスペースに対して自己整合で形成されていることを特徴とする半導体集積回路装置。

【請求項15】 請求項1～14のいずれか一項に記載の半導体集積回路装置であって、前記メモリセルは、記憶素子部を構成する前記MISFETと、選択用のMISFETとで構成されていることを特徴とする半導体集積回路装置。

【請求項16】 請求項1～9、11～15のいずれか一項に記載の半導体集積回路装置であって、前記第1半導体領域と前記第2半導体領域とは同一の導電型であることを特徴とする半導体集積回路装置。

【請求項17】 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板上に第2酸化シリコン膜を形成した後、前記第2酸化シリコン膜の上部に形成した導体膜をパターニングすることにより、MISFETのゲート電極を形成する工程、

(b) 前記ゲート電極の上部を含む前記半導体基板上に第2窒化シリコン膜を形成した後、前記第2窒化シリコン膜の上部に第4酸化シリコン膜を形成する工程、

(c) 前記第4酸化シリコン膜および前記第2窒化シリコン膜をエッチングすることにより、前記MISFETの前記ゲート電極の上部および側壁を露出させる工程、

(d) 前記第2酸化シリコン膜を等方的にエッチングすることにより、前記ゲート電極の下部の第1領域において、前記ゲート電極の下面と前記半導体基板とを露出させ、前記ゲート電極の下部の第2領域において、前記第2酸化シリコン膜を残す工程、

(e) 前記半導体基板を熱処理することにより、前記第1領域において、前記半導体基板の表面および前記ゲート電極の下面に第1酸化シリコン膜を形成する工程、

(f) 前記第1領域において、前記半導体基板の表面に形成された前記第1酸化シリコン膜と、前記ゲート電極の下面に形成された前記第1酸化シリコン膜との隙間を含む前記半導体基板上に第2窒化シリコン膜を形成する工程。

【請求項18】 請求項17記載の半導体集積回路装置の製造方法であって、前記ゲート電極の前記第1領域側の端部に自己整合的に不純物を導入して、前記半導体基板内に第1半導体領域を形成する工程と、前記ゲート電極の前記第2領域側の端部に自己整合的に不純物を導入して、前記半導体基板内に第2半導体領域を形成する工程とを含み、前記第1半導体領域の不純物濃度を前記第2半導体領域の不純物濃度よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【請求項19】 請求項17または18記載の半導体集積回路装置の製造方法であって、前記MISFETは不揮発性メモリを構成し、周辺回路を構成するMISFETのゲート電極と、前記不揮発性メモリを構成するMISFETのゲート電極とは、同一の導電膜をパターンニングする工程で形成され、前記周辺回路を構成するMISFETのゲート絶縁膜は、前記第2酸化シリコン膜を形成する工程で形成されることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、絶縁膜トラップを電荷の蓄積領域とした単一MISFET構造の不揮発性メモリを有する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】シリコン基板上に形成される不揮発性メモリの基本セル構造は、ゲート酸化膜とその上部のコントロールゲート（ワード線）との間に設けられ、周囲と電気的に絶縁されたフローティング（浮遊）ゲートを電荷の蓄積領域とする、いわゆるフローティングゲート型と、このようなフローティングゲートを持たず、ゲート絶縁膜が酸化シリコン膜と窒化シリコン膜との積層膜で構成され、上記窒化シリコン膜中にトラップされた電子を電荷の蓄積領域とするMNOS (Metal-gate Nitride Oxide Silicon)型とに大別される。

【0003】図52は、フローティングゲート型メモリ

セルの代表的なセル構造を示す断面図である。このメモリセルは、シリコン基板101の主面上に形成された膜厚10nm程度のゲート酸化膜102の上部にフローティングゲート103、層間絶縁膜104およびコントロールゲート（CG）105を順次形成し、フローティングゲート103の両側のシリコン基板101にソース（S）106およびドレイン（D）107を形成した構造になっている。

【0004】メモリセルの書き込みは、フローティングゲート103中に電子108を注入し、コントロールゲート105から見たトランジスタのしきい値電圧（ $V_{th}$ ）を電子108の蓄積のない状態に比較して3V～5V程度上昇させることによって行う。また、フローティングゲート103への電子108の注入は、アバランシェ・ブレイクダウンによって発生するドレイン107近傍のホットエレクトロンをコントロールゲート105に印加した正電圧によってフローティングゲート103へ引き込む方式が主流である。

【0005】一方、図53は、MNOS型メモリセルの代表的なセル構造を示す断面図である。このメモリセルは、シリコン基板111の主面上に形成された膜厚2nm程度の直接トンネル酸化膜112の上部に窒化シリコン膜113および書き込み／消去用のゲート電極（PEG）115aが順次形成され、ゲート電極115aの両側のシリコン基板111にソース（S）116および接続拡散層（ドレイン）117が形成されたMISFET（記憶素子部）と、ゲート酸化膜118の上部に選択用のゲート電極（SG）115bが形成され、ゲート電極115bの両側のシリコン基板111に接続拡散層（ソース）117およびドレイン（D）119が形成された選択用MISFETとで構成されている。

【0006】メモリセルの書き込みは、シリコン基板111および書き込み／消去用のゲート電極115aの電位を制御し、直接トンネル酸化膜112を介してシリコン基板111側から窒化シリコン膜113中へ電子108を全面注入してトラップさせることにより、記憶素子部のMISFETのしきい値電圧を上昇させて行う。また、消去も同様に、シリコン基板111およびゲート電極115aの電位を制御し、窒化シリコン膜113中にトラップさせた電子をシリコン基板111側へ放出することにより、記憶素子部のMISFETのしきい値電圧を下降させて行う。この消去動作の際には、記憶素子部のしきい値電圧を0V以下、すなわちデプレッション領域まで低下させるので、読み出しを行うためには記憶素子部のMISFET以外に前記した選択用MISFETが必要となる。

【0007】上記MNOS型メモリセルは、絶縁膜（窒化シリコン膜113）中に電子をトラップさせる動作方式であることから、トラップされた電子はそれぞれ独立にしきい値電圧の変調に寄与している。そのため、直接

トンネル膜112中の欠陥に起因した窒化シリコン膜113中の電子の部分的な漏洩による、記憶素子部のチャネル全域にわたるしきい値電圧の変動が非常に小さい。言い替えると、リテンション特性が優れており、信頼度の高いメモリセル方式であると言える。

【0008】図54は、米国特許(USP)第5408115号に記載され、“Self-Aligned Split-Gate EEPR OM Device”と名付けられたセル構造を示す断面図である。このメモリセルは、シリコン基板121の主面上にゲート酸化膜122および選択用ゲート電極(SG)123を積層し、それらの側壁部に酸化シリコン膜124、窒化シリコン膜125および酸化シリコン膜126からなる3層の絶縁膜を介してサイドウォールゲート電極(SWG)127を形成した構造になっている。また、ソース(S)128は、このサイドウォールゲート電極(SWG)127をマスクとするイオン注入により形成され、ドレイン(D)129は、前記選択用ゲート電極123をマスクとするイオン注入により形成されている。

【0009】メモリセルの書き込みは、“1997 Symposium on VLSI Technology Digest of Technical Papers p63-p64”に記載されているように、ドレイン129を接地電位とし、ソース128、サイドウォールゲート電極127および選択ゲート電極123にそれぞれ5V、9V、1Vの電圧を印加することによって行う。

【0010】図55は、上記メモリセルの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示している。ソース(S)ードレイン(D)間に印加された電圧(5V)は、その大半がソース(S)の空乏層に印加されるので、図示のように、チャネル方向に沿った電界強度はサイドウォールゲート電極(SWG)の直下において最大値となる。そのため、ドレイン(D)からチャネル領域へ走行してきた電子は、ソース(S)近傍の高電界領域で加速されてアバランシェ・ブレイクダウンを引き起こし、このとき発生したホットエレクトロンがサイドウォールゲート電極(SWG)による縦方向の高電界によって窒化シリコン膜(125)中に注入、トラップされる。すなわち、サイドウォールゲート電極(SWG)の直下の窒化シリコン膜(125)に電子がトラップされることにより、サイドウォールゲート電極(SWG)から見たしきい値電圧が上昇する。このホットエレクトロンによる書き込み方式は、前述したフローティングゲート型メモリセルにおけるドレイン近傍のホットエレクトロンをフローティングゲートへ引き込む方式と基本的に同一である。

【0011】また、上記メモリセルの読み出しは、ソース(128)を接地電位とし、サイドウォールゲート電極(127)と選択用ゲート電極(123)とに1.8Vの電圧を印加し、窒化シリコン膜(125)中の電子トラップの有無によるサイドウォールゲート電極(12

7)から見たしきい値電圧の変調をドレイン電流から判定する。このメモリセルは、ホットエレクトロンを用いて書き込みを行うために、電子をトラップさせる窒化シリコン膜(125)の直下の酸化シリコン膜(124)を前述したMNOS型メモリセルの直接トンネル酸化膜よりも厚い膜厚(例えば10nm程度)で形成しても書き込み速度が劣化しない。また、この酸化シリコン膜(124)を厚い膜厚にするほど欠陥密度が減少し、結果的にメモリセルのリテンション特性が改善する。

【0012】IEEE Electron Device Lett., (vol. EDL-8, no. 3, pp. 93-95, March 1987)は、コントロールゲートを持たない単一MISFET構造の不揮発性メモリを開示している。この不揮発性メモリのメモリセルは、ゲート絶縁膜の上部に形成された多結晶シリコンのゲート電極と、このゲート電極の両側の半導体基板に形成されたソース、ドレインとで構成されており、ゲート絶縁膜は、2層の酸化シリコン膜の間に窒化シリコン膜を挟んだ3層構造で構成されている。

【0013】メモリセルの書き込みは、ドレイン近傍のキャリアを窒化シリコン膜中に注入、トラップさせることによって行う。このメモリセルは、2層の酸化シリコン膜に挟まれた窒化シリコン膜中のキャリアがドレイン近傍の狭い領域に局在するために、MNOS型メモリセルに比べてリテンション特性が優れている。

【0014】特開平6-232416号公報は、ソースとドレインとの間のチャネル領域の上部にゲート絶縁膜とキャリアを保持するトラップ膜とが連なって形成され、このゲート絶縁膜とトラップ膜との上部にゲート電極が形成された単一MISFET構造の不揮発性メモリを開示している。ゲート絶縁膜は酸化シリコン膜で構成され、トラップ膜は2層の酸化シリコン膜の間に窒化シリコン膜を挟んだ3層構造で構成されている。

【0015】メモリセルの書き込みは、トラップ膜の一部を構成する下層の酸化シリコン膜(トンネル酸化膜)を通じて電子を窒化シリコン膜注入、トラップさせることによって行う。このメモリセルは、通常のエンハンスメントMISFETのゲート絶縁膜とキャリアを保持するメモリ部のトラップ膜とを単一ゲート電極の下部に形成するので、セル面積を縮小することができる。

【0016】

【発明が解決しようとする課題】前述したフローティングゲート型メモリセルは、フローティングゲートの上部にコントロールゲート(ワード線)を積層することから、セル面積を比較的小さく設計することができ、大容量化に適したセル構造となっている。一方、MNOS型メモリセルは、フローティングゲート型メモリセルに比べてリテンション特性が優れており、信頼度の高いセル方式であると言えるが、記憶素子部と選択用とに2つの基本素子を必要とするために、同一設計ルールでのセル面積がフローティングゲート型メモリセルの4~5倍程

度大きくなり、大容量化には適さないという欠点がある。

【0017】また、米国特許（USP）第5408115号に開示されたメモリセルは、フローティングゲート型メモリセルに匹敵するスケーラビリティとMNOS型メモリセルと同等以上の高い信頼性とを有している。しかしながら、選択用ゲート電極とサイドウォールゲート電極とを有するセル構造は、フローティングゲート型メモリセルに比べて書き込み／消去動作が複雑になり、結果として必要とする周辺回路の面積が増加する。しかも、サイドウォールゲート電極の幅が100nm程度あるため、その配線抵抗値が通常のゲート抵抗の5～7倍に増大し、これが読み出し速度の劣化を招いている。さらに、選択用ゲート電極とサイドウォールゲート電極との間、すなわち酸化シリコン膜（124）、窒化シリコン膜（125）および酸化シリコン膜（126）が横方向に積層された領域の直下のチャンネル領域は、その幅が30nm程度と僅かではあるが、その上部にゲート電極が存在していない。そのため、この領域が寄生抵抗として作用し、読み出し時のドレイン電流を低下させて読み出し速度を劣化させるという問題がある。

【0018】本発明の目的は、フローティングゲート型メモリセルに匹敵するスケーラビリティとMNOS型メモリセルと同等以上の高い信頼性とを併せ持った新規なセル構造を備えた不揮発性メモリおよびその製造方法を提供することにある。

【0019】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0020】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0021】本願発明の不揮発性メモリは、第1導電型の半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャンネル領域が形成されるMISFETによって不揮発性のメモリセルが構成されており、前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなる。

【0022】前記メモリセルの書き込みは、選択したメモリセルの前記第2半導体領域を前記第1半導体領域よりも高電位にし、低不純物濃度の第2導電型半導体領域で発生したホットエレクトロンを窒化シリコン膜中の電子トラップに注入することにより行う。

【0023】その他、本願に記載された発明の概要を項分けして説明すれば、以下の通りである。

【0024】1. 第1導電型の半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャンネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記メモリセルの書き込みは、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

10

【0025】2. 半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャンネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、少なくとも前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低く、前記第1半導体領域側でホットエレクトロンを発生させることにより、前記窒化シリコン膜に前記ホットエレクトロンを注入することを特徴とする半導体集積回路装置。

20

【0026】3. 半導体基板上に形成されたゲート絶縁膜上にワード線と電気的に接続されたゲート電極が形成され、前記半導体基板内にソース、ドレインを構成する第2導電型の第1、第2半導体領域が形成され、前記第1半導体領域と前記第2半導体領域との間にチャンネル領域が形成されるMISFETによって不揮発性のメモリセルが構成された半導体集積回路装置であって、前記ゲート絶縁膜は、前記第1半導体領域側が第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなり、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度と異なることを特徴とする半導体集積回路装置。

40

【0027】4. 前記請求項1または3において、前記第1半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度は、前記第2半導体領域の前記ゲート電極の下部に延在する部分の不純物濃度よりも低いことを特徴とする半導体集積回路装置。

50 【0028】5. 前記請求項1、2または4において、

前記ゲート絶縁膜は、前記第1半導体領域側が前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなり、前記第2半導体領域側が酸化シリコン膜からなることを特徴とする半導体集積回路装置。

【0029】6. 前記請求項1～5のいずれか一項において、前記ゲート絶縁膜は、前記第1半導体領域側と前記第2半導体領域側とがほぼ同じ電気的容量膜厚を有していることを特徴とする半導体集積回路装置。

【0030】7. 前記請求項1、2、4、5または6において、前記ゲート絶縁膜は、前記第1半導体領域側および前記第2半導体領域側が、前記第1酸化シリコン膜、窒化シリコン膜および第2酸化シリコン膜を積層した3層の絶縁膜からなることを特徴とする半導体集積回路装置。

【0031】8. 前記請求項1、3、4、5、6または7において、前記メモリセルの書き込みは、前記ゲート絶縁膜の一部を構成する前記窒化シリコン膜中にホットエレクトロンを注入して行うことを特徴とする半導体集積回路装置。

【0032】9. 前記請求項1～8のいずれか一項において、前記ゲート絶縁膜の少なくとも一部を構成する前記3層の絶縁膜のうち、前記窒化シリコン膜の下層に形成された前記第1酸化シリコン膜の膜厚は、直接トンネル電流が流れる膜厚よりも厚いことを特徴とする半導体集積回路装置。

【0033】10. 前記請求項1～9のいずれか一項において、前記第2半導体領域は、その一端が前記ゲート電極の下部に延在する第1導電型の半導体領域と、その一端が前記ゲート電極から離間した第2導電型の半導体領域とからなり、前記第1半導体領域は、第2導電型で構成されていることを特徴とする半導体集積回路装置。

【0034】11. 前記請求項1～10のいずれか一項において、前記メモリセルの読み出しは、前記第1半導体領域を前記第2半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【0035】12. 前記請求項1～10のいずれか一項において、前記メモリセルの読み出しは、前記第2半導体領域を前記第1半導体領域よりも高電位にして行うことを特徴とする半導体集積回路装置。

【0036】13. 前記請求項1～12のいずれか一項において、前記第1、第2半導体領域の一方の上部の絶縁膜に形成された第1接続孔に埋め込まれたプラグによってソース線が形成され、前記第1、第2半導体領域の他方の上部の前記絶縁膜に形成された第2接続孔に埋め込まれたプラグを介して、前記第1、第2半導体領域の他方にビット線が接続されていることを特徴とする半導体集積回路装置。

【0037】14. 前記請求項13において、前記第1接続孔および前記第2接続孔は、前記MISFETのゲ

ート電極のスペースに対して自己整合で形成されていることを特徴とする半導体集積回路装置。

【0038】15. 請求項1～14のいずれか一項において、前記メモリセルは、記憶素子部を構成する前記MISFETと、選択用のMISFETとで構成されていることを特徴とする半導体集積回路装置。

【0039】16. 請求項1～9、11～15のいずれか一項において、前記第1半導体領域と前記第2半導体領域とは同一の導電型であることを特徴とする半導体集積回路装置。

【0040】17. 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板上に第1酸化シリコン膜を形成した後、前記第1酸化シリコン膜の上部に窒化シリコン膜を形成する工程、(b) 前記第1酸化シリコン膜および前記窒化シリコン膜をパターンニングすることにより、前記半導体基板上の第1領域に前記第1酸化シリコン膜および前記窒化シリコン膜を残し、第2領域の前記第1酸化シリコン膜および前記窒化シリコン膜を除去する工程、

(c) 前記半導体基板上的前記第1領域の前記窒化シリコン膜の上部および前記半導体基板上的前記第2領域に第2酸化シリコン膜を形成する工程、(d) 前記第2酸化シリコン膜の上部に形成した導体膜をパターンニングすることにより、前記第1、第2領域の前記第2酸化シリコン膜上にMISFETのゲート電極を形成する工程。

【0041】18. 以下の工程を含むことを特徴とする半導体集積回路装置の製造方法；

(a) 半導体基板上に第2酸化シリコン膜を形成した後、前記第2酸化シリコン膜の上部に形成した導体膜をパターンニングすることにより、MISFETのゲート電極を形成する工程、(b) 前記ゲート電極の上部を含む前記半導体基板上に第2窒化シリコン膜を形成した後、前記第2窒化シリコン膜の上部に第4酸化シリコン膜を形成する工程、(c) 前記第4酸化シリコン膜および前記第2窒化シリコン膜をエッチングすることにより、前記MISFETの前記ゲート電極の上部および側壁を露出させる工程、(d) 前記第2酸化シリコン膜を等方的にエッチングすることにより、前記ゲート電極の下部の第1領域において、前記ゲート電極の下面と前記半導体基板とを露出させ、前記ゲート電極の下部の第2領域において、前記第2酸化シリコン膜を残す工程、(e) 前記半導体基板を熱処理することにより、前記第1領域において、前記半導体基板の表面および前記ゲート電極の下面に第1酸化シリコン膜を形成する工程、(f) 前記第1領域において、前記半導体基板の表面に形成された前記第1酸化シリコン膜と、前記ゲート電極の下面に形成された前記第1酸化シリコン膜との隙間を含む前記半導体基板上に第2窒化シリコン膜を形成する工程。

【0042】19. 請求項17または18において、前記ゲート電極の前記第1領域側の端部に自己整合的に不



純物を導入して、前記半導体基板内に第1半導体領域を形成する工程と、前記ゲート電極の前記第2領域側の端部に自己整合的に不純物を導入して、前記半導体基板内に第2半導体領域を形成する工程とを含み、前記第1半導体領域の不純物濃度を前記第2半導体領域の不純物濃度よりも低くすることを特徴とする半導体集積回路装置の製造方法。

【0043】20. 請求項17、18または19において、前記MISFETは不揮発性メモリを構成し、周辺回路を構成するMISFETのゲート電極と、前記不揮発性メモリを構成するMISFETのゲート電極とは、同一の導電膜をパターンニングする工程で形成され、前記周辺回路を構成するMISFETのゲート絶縁膜は、前記第2酸化シリコン膜を形成する工程で形成されることを特徴とする半導体集積回路装置の製造方法。

【0044】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0045】（実施の形態1）図1は、本発明の一実施の形態であるフラッシュメモリ（一括消去型不揮発性メモリ）の主要部を示す概略回路図である。

【0046】このフラッシュメモリのメモリセルアレイ(MA)には、図の左右方向(X方向)に延在する複数本のワード線WL(WL1~WLm)および複数本のソース線SL(SL1~SLm/2)、これらと直交するY方向に延在する複数本のビット線DL(DL1~DLn)および後述するMISFET構造で構成された複数個のメモリセルM(M11~Mnm)が形成されている。

【0047】上記ワード線WL(WL1~WLm)のそれぞれは、X方向に沿って配置された複数個のメモリセルMのゲート電極に接続され、その一端部はロウデコーダ(X-DEC)に接続されている。ソース線SL(SL1~SLm/2)のそれぞれは、2本のワード線WLの間に1本ずつ配置され、Y方向に隣接する2個のメモリセルMの共通するソースに接続されている。また、これらのソース線SL(SL1~SLm/2)の一端部は、メモリセルアレイ(MA)の周辺部に配置された共通ソース線CSLに接続されている。ビット線DL(DL1~DLn)のそれぞれは、Y方向に隣接する2個のメモリセルMの共通するドレインに接続され、その一端部はコラムデコーダ(Y-DEC)およびセンスアンプ(SA)に接続されている。

【0048】図2は、上記メモリセルアレイとそれに隣接する周辺回路の各一部を示す半導体基板の要部断面図、図3(A)は、メモリセル約4個分の導体層パターンを示す平面図、図3(B)は、メモリセル約12個分の導体層パターンを示す平面図である。

【0049】p型の単結晶シリコンからなる半導体基板

1のメモリセルアレイ領域にはp型ウエル5が形成されており、周辺回路領域にはp型ウエル5とn型ウエル6とが形成されている。また、メモリセルアレイ領域のp型ウエル5の下部には、このp型ウエル5を半導体基板1の他の領域から電気的に分離するための深いn型ウエル4が形成されている。p型ウエル5とn型ウエル6のそれぞれの表面には、酸化シリコン膜で構成された素子分離用のフィールド酸化膜2が形成されている。

【0050】メモリセルアレイ領域のp型ウエル5には、メモリセルを構成するnチャネル型のMISFETQmが形成されている。また、周辺回路領域のp型ウエル5には周辺回路の一部を構成するnチャネル型MISFETQnが形成され、n型ウエル6には周辺回路の他の一部を構成するpチャネル型MISFETQpが形成されている。

【0051】メモリセルを構成するMISFETQmは、主としてゲート絶縁膜上に形成されたゲート電極10aと、一端がゲート電極10aの下部まで延在するn<sup>+</sup>型半導体領域13(ドレイン)と、ゲート電極10aに対してオフセットするように形成されたn<sup>+</sup>型半導体領域15(高濃度ソース)と、n<sup>+</sup>型半導体領域15の周囲に形成され、一端がゲート電極10aの下部まで延在するn<sup>-</sup>型半導体領域11(低濃度ソース)と、これらのソース、ドレインに挟まれたチャネル形成領域(p型ウエル5)とで構成されている。ゲート電極10aはワード線WLと一体に構成され、ソース(n<sup>+</sup>型半導体領域15、n<sup>-</sup>型半導体領域11)はソース線SLと一体に構成されている。

【0052】ゲート電極10aは、例えばn型の多結晶シリコン膜の上部にW(タングステン)シリサイド膜を積層したポリサイド膜で構成され、その側壁には酸化シリコン膜で構成されたサイドウォールスペーサ16が形成されている。また、ゲート電極10aの下部に形成されたゲート絶縁膜は、ドレイン側が1層の酸化シリコン膜9で構成され、ソース側が酸化シリコン膜9の下層に酸化シリコン膜7と窒化シリコン膜8とを積層した3層の絶縁膜で構成されている。

【0053】周辺回路のpチャネル型MISFETQpは、主としてゲート絶縁膜(酸化シリコン膜9)上に形成されたゲート電極10bと、ゲート電極10bに対してオフセットするように形成された一対のp<sup>+</sup>型半導体領域14(ソース、ドレイン)と、一端がゲート電極10bの下部まで延在する一対のp<sup>-</sup>型半導体領域12と、これらのソース、ドレインに挟まれたチャネル形成領域(p型ウエル5)とで構成されている。また、周辺回路のnチャネル型MISFETQnは、主としてゲート絶縁膜(酸化シリコン膜9)上に形成されたゲート電極10cと、ゲート電極10cに対してオフセットするように形成された一対のn<sup>+</sup>型半導体領域15(ソース、ドレイン)と、一端がゲート電極10cの下部まで

延在する一対の $n^-$ 型半導体領域11と、これらのソース、ドレインに挟まれたチャネル形成領域(p型ウエル5)とで構成されている。すなわち、周辺回路のpチャネル型MISFETQpおよびnチャネル型MISFETQnは、LDD(Lightly Doped Drain)構造で構成されている。pチャネル型MISFETQpのゲート電極10bおよびnチャネル型MISFETQnのゲート電極10cは、メモセルのゲート電極10aと同じくポリサイド膜で構成され、それらの側壁には酸化シリコン膜で構成されたサイドウォールスペーサ16が形成されている。

【0054】上記メモセル(MISFETQm)、pチャネル型MISFETQpおよびnチャネル型MISFETQnの上部には厚い膜厚の酸化シリコン膜17が形成されており、さらにその上部には例えばAl合金膜で構成された配線23~27が形成されている。

【0055】メモセルアレイ領域に形成された配線23はビット線DLを構成し、酸化シリコン膜17に形成されたコンタクトホール20を通じてメモセルのドレイン( $n^+$ 型半導体領域13)と接続されている。また、周辺回路領域に形成された配線24~27のうち、配線24、25は、酸化シリコン膜17に形成された一対のコンタクトホール21を通じてpチャネル型MISFETQpの一対の $p^+$ 型半導体領域14(ソース、ドレイン)と接続され、配線26、27は、酸化シリコン膜17に形成された一対のコンタクトホール22を通じてnチャネル型MISFETQnの一対の $n^+$ 型半導体領域15(ソース、ドレイン)と接続されている。

【0056】次に、上記フラッシュメモリのプログラム動作を図4(メモセル約1個分を示す概略断面図)、図5(メモセルの動作電圧表)および図6(メモセルの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフ)を用いて説明する。

【0057】書き込み動作は、選択したメモセル(MISFETQm)のソース(11、15)を接地電位(0V)とし、ゲート電極(10a)およびドレイン(13)にそれぞれ5Vの正電圧を印加する。これにより、低濃度ソース(11)の端部に図6に示すような電界強度のピークが生じ、この領域(低濃度ソース側)で発生したホットエレクトロン( $e^-$ )が窒化シリコン膜8中の電子トラップに注入され、ゲート電極(10a)から見たしきい値電圧が上昇することにより、書き込みが行われる。

【0058】また、読み出し動作も同様に、選択したメモセルのソース(11、15)を接地電位(0V)とし、ゲート電極(10a)およびドレイン(13)にそれぞれ2Vの正電圧を印加して行う。消去動作は、メモセルのドレイン(13)を接地電位(0V)とし、ソース(11、15)に5Vの正電圧、ゲート電極(10a)に-10Vの負電圧をそれぞれ印加し、窒化シリコ

ン膜8中にトラップされた電子を基板(p型ウエル5)側へ放出することにより、ゲート電極(10a)から見たしきい値電圧を下降させて行う。

【0059】次に、上記不揮発性メモリの製造方法の一例を図7~図18(メモセルアレイ領域とそれに隣接する周辺回路領域の各一部を示す半導体基板の要部断面図)を用いて説明する。

【0060】まず、図7に示すように、 $10\Omega\text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板1を用意し、その表面に選択酸化(LOCOS)法で膜厚500nm程度のフィールド酸化膜2を形成した後、半導体基板1を熱酸化することにより、上記フィールド酸化膜2で囲まれた素子形成領域の表面に膜厚20nm程度の酸化シリコン膜3を形成する。酸化シリコン膜3は、次の工程で半導体基板1に不純物をイオン打ち込みする際のマスクとして使用される。

【0061】次に、図8に示すように、メモセルアレイ領域の半導体基板1に深いn型ウエル4を形成した後、メモセルアレイ領域および周辺回路の一部(nチャネル型MISFET形成領域)の半導体基板1に浅いp型ウエル5を形成し、周辺回路の他の一部(pチャネル型MISFET形成領域)の半導体基板1に浅いn型ウエル6を形成する。

【0062】深いn型ウエル4は、メモセルアレイ領域に開孔部を設けた膜厚 $5\mu\text{m}$ 程度のフォトレジスト膜をマスクにして、加速エネルギー3000keV、ドーズ量 $1\times 10^{13}/\text{cm}^2$ の条件で半導体基板1にn型不純物(リン)をイオン打ち込みして形成する。また、浅いp型ウエル5は、メモセルアレイ領域とnチャネル型MISFET形成領域とに開孔部を設けた膜厚 $2.5\mu\text{m}$ 程度のフォトレジスト膜をマスクにして、加速エネルギー450keV、ドーズ量 $1\times 10^{13}/\text{cm}^2$ および加速エネルギー200keV、ドーズ量 $3\times 10^{12}/\text{cm}^2$ の条件で半導体基板1にp型不純物(ホウ素)をイオン打ち込みして形成する。さらに、浅いn型ウエル6は、pチャネル型MISFET形成領域に開孔部を設けた膜厚 $2.5\mu\text{m}$ 程度のフォトレジスト膜をマスクにして、加速エネルギー1000keV、ドーズ量 $1.5\times 10^{13}/\text{cm}^2$ 、加速エネルギー370keV、ドーズ量 $3\times 10^{13}/\text{cm}^2$ および加速エネルギー180keV、ドーズ量 $1\times 10^{12}/\text{cm}^2$ の条件で半導体基板1にn型不純物(リン)をイオン打ち込みして形成する。

【0063】なお、上記したp型ウエル5を形成するためのイオン打ち込み工程で、メモセル(MISFETQm)およびnチャネル型MISFETQnのしきい値電圧( $V_{th}$ )を調整するための不純物(ホウ素)を同時にイオン注入する(加速エネルギー50keV、ドーズ量 $1.2\times 10^{12}/\text{cm}^2$ )。また、n型ウエル6を形成するためのイオン打ち込み工程で、pチャネル型MISFETQpのしきい値電圧( $V_{th}$ )を調整するための不純



物（ホウ素）を同時にイオン注入する（加速エネルギー  $20\text{ keV}$ 、ドーズ量  $1.5 \times 10^{12}/\text{cm}^2$ ）。

【0064】次に、p型ウエル5、n型ウエル6のそれぞれの表面の酸化シリコン膜3をウェットエッチングで除去した後、図9に示すように、半導体基板1を  $750^\circ\text{C}$  程度で熱酸化してp型ウエル5、n型ウエル6のそれぞれの表面に膜厚  $7\text{ nm}$  程度の酸化シリコン膜7を形成し、さらに酸化シリコン膜7の上部に  $800^\circ\text{C}$  程度の熱CVD法で膜厚  $7\text{ nm}$  程度の窒化シリコン膜8を堆積する。

【0065】次に、図10に示すように、上記窒化シリコン膜8と酸化シリコン膜7とをパターンニングして、メモリセルのソース形成領域とその近傍のみにこれらの膜を残す。窒化シリコン膜8のパターンニングは、上記ソース形成領域とその近傍とに開孔部を設けた膜厚  $1\text{ }\mu\text{m}$  程度のフォトリソist膜をマスクにしたドライエッチングで行い、酸化シリコン膜7のパターンニングは、上記フォトリソist膜をアッシングで除去した後、窒化シリコン膜8をマスクにしたドライエッチングで行う。ソース形成領域とその近傍に残す上記2層の絶縁膜（酸化シリコン膜7、窒化シリコン膜8）は、後の工程で形成されるゲート電極10aの下部に位置する部分の長さ（ゲート長方向の長さ）が  $20\text{ nm} \sim 200\text{ nm}$  程度となるようにその幅を調整する。

【0066】次に、図11に示すように、半導体基板1を  $800^\circ\text{C}$  程度で熱酸化してp型ウエル5、n型ウエル6のそれぞれの表面に膜厚  $15\text{ nm}$  程度の酸化シリコン膜9を形成する。このとき、メモリセルアレイ領域の窒化シリコン膜8も同時に酸化されるので、その表面にも膜厚  $2\text{ nm}$  程度の酸化シリコン膜9が形成される。

【0067】次に、図12に示すように、メモリセルアレイ領域の酸化シリコン膜9上にメモリセル（MISFETQm）のゲート電極10aを形成し、周辺回路領域の酸化シリコン膜9上にpチャネル型MISFETQnのゲート電極10bとnチャネル型MISFETQpのゲート電極10cとを形成する。ゲート電極10a、10b、10cは、酸化シリコン膜9上に  $600^\circ\text{C}$  程度の熱CVD法で膜厚  $100\text{ nm}$  程度、リン濃度  $2 \times 10^{20}/\text{cm}^3$  程度の多結晶シリコン膜と膜厚  $50\text{ nm}$  程度のWシリサイド膜とを堆積した後、フォトリソist膜をマスクにしたドライエッチングでこれらの膜をパターンニングして形成する。

【0068】次に、図13に示すように、半導体基板1の全面に加速エネルギー  $40\text{ keV}$ 、ドーズ量  $1 \times 10^{13}/\text{cm}^2$  の条件でn型不純物（リン）をイオン打ち込みすることにより、ゲート電極10a、10cのそれぞれの両側のp型ウエル5およびゲート電極10bの両側のn型ウエル6に低不純物濃度のn<sup>-</sup>型半導体領域11を形成する。

【0069】次に、図14に示すように、メモリセルの

ドレイン形成領域に開孔部を設けた膜厚  $1\text{ }\mu\text{m}$  程度のフォトリソist膜をマスクにして、加速エネルギー  $50\text{ keV}$ 、ドーズ量  $3 \times 10^{15}/\text{cm}^2$  の条件でp型ウエル5にn型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのドレインを構成するn<sup>+</sup>型半導体領域13を形成する。

【0070】次に、図15に示すように、pチャネル型MISFET形成領域に開孔部を設けた膜厚  $1\text{ }\mu\text{m}$  程度のフォトリソist膜をマスクにして、加速エネルギー  $50\text{ keV}$ 、ドーズ量  $2 \times 10^{13}/\text{cm}^2$  の条件でn型ウエル6にp型不純物（二フッ化ホウ素）をイオン打ち込みすることにより、ゲート電極10bの両側のn型ウエル6に前記n<sup>-</sup>型半導体領域11を補償して低不純物濃度のp<sup>-</sup>型半導体領域12を形成する。

【0071】次に、図16に示すように、半導体基板1上にCVD法で膜厚  $200\text{ nm}$  程度の酸化シリコン膜（図示せず）を堆積した後、この酸化シリコン膜を異方性エッチングすることにより、ゲート電極10a、10b、10cのそれぞれの側壁に幅  $150\text{ nm}$  程度のサイドウォールスペーサ16を形成する。このとき、メモリセルのソース形成領域を覆っている酸化シリコン膜9と窒化シリコン膜8も同時にエッチングされる。

【0072】次に、図17に示すように、pチャネル型MISFET形成領域に開孔部を設けた膜厚  $1\text{ }\mu\text{m}$  程度のフォトリソist膜をマスクにして、加速エネルギー  $50\text{ keV}$ 、ドーズ量  $3 \times 10^{15}/\text{cm}^2$  の条件でn型ウエル6にp型不純物（二フッ化ホウ素）をイオン打ち込みすることにより、pチャネル型MISFETのソース、ドレインを構成する高不純物濃度のp<sup>+</sup>型半導体領域14を形成する。

【0073】続いて、メモリセルのソース形成領域とnチャネル型MISFET形成領域とに開孔部を設けた膜厚  $1\text{ }\mu\text{m}$  程度のフォトリソist膜をマスクにして、加速エネルギー  $50\text{ keV}$ 、ドーズ量  $2 \times 10^{15}/\text{cm}^2$  の条件でp型ウエル5にn型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのソースを構成する高不純物濃度のn<sup>+</sup>型半導体領域15と、nチャネル型MISFETのソース、ドレインを構成する高不純物濃度のn<sup>+</sup>型半導体領域15とを形成する。ここまでの工程で、メモリセル（MISFETQm）と周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）とが完成する。

【0074】次に、図18に示すように、半導体基板1上にCVD法で膜厚  $500\text{ nm}$  程度の酸化シリコン膜17を堆積した後、フォトリソist膜をマスクにして酸化シリコン膜17をドライエッチングすることにより、メモリセルのドレインの上部、nチャネル型MISFETQnのソース、ドレインの上部およびpチャネル型MISFETQpのソース、ドレインの上部にそれぞれコンタクトホール20、21、22を形成する。

【0075】その後、コンタクトホール20～22の内部を含む酸化シリコン膜17上にスパッタリング法で膜厚500nm程度のA1合金膜を堆積し、フォトリソ膜をマスクにしたドライエッチングでこのA1合金膜をパターニングして配線23～27を形成することにより、前記図2に示す本実施の形態のフラッシュメモリが略完成する。

【0076】上記のように構成された本実施の形態のフラッシュメモリは、従来のフローティングゲート型メモリセルと同様、メモリセルが単一のMISFETで構成されているために、書き込み/消去動作を比較的簡便に行うことができ、必要とする周辺回路の面積を増加させることがない。また、製造工程も簡略になる。

【0077】本実施の形態のフラッシュメモリは、読み出し動作の際に、従来のサイドウォールゲート電極を備えたメモリセルのような高抵抗配線を用いないので、読み出し速度の劣化が発生しない。また、書き込み動作の際には、ゲート電極とドレインとに正電圧を印加し、ソース近傍で発生させたホットエレクトロンを窒化シリコン膜中の電子トラップに注入する方式を採用するため、接地電位のソースとゲート電極間の電位差が大きくなることによって注入効率が向上し、従来のセル構造に比べてより低電圧動作が可能となる。

【0078】本実施の形態のフラッシュメモリは、メモリセルのゲート電極がチャネル領域の全面を覆っているために、従来のサイドウォールゲート電極を備えたセル構造で問題となるサイドウォールゲート電極—制御ゲート電極間の絶縁膜直下における寄生抵抗の発生がなく、読み出し動作時のドレイン電流の低下を招くことがない。

【0079】本実施の形態のフラッシュメモリの製造方法は、メモリセルのソース側のゲート絶縁膜（酸化シリコン膜7、窒化シリコン膜8、酸化シリコン膜9からなる3層の絶縁膜）をゲート電極に対して自己整合（セルフアライン）で形成するので、従来のフローティングゲート型メモリセルと同等のセル面積に設計することができ、スケラビリティに優れた不揮発性メモリを実現することができる。

【0080】（実施の形態2）本実施の形態のフラッシュメモリの製造方法を図19～図33（メモリセルアレイ領域とそれに隣接する周辺回路領域の各一部を示す半導体基板の要部断面図）を用いて説明する。

【0081】まず、図19に示すように、p型の単結晶シリコンからなる半導体基板1の表面にフィールド酸化膜2を形成した後、フィールド酸化膜2で囲まれた素子形成領域の表面に酸化シリコン膜3を形成する。続いて、メモリセルアレイ領域の半導体基板1に深いn型ウェル4を形成した後、メモリセルアレイ領域および周辺回路の一部（nチャネル型MISFET形成領域）の半導体基板1に浅いp型ウェル5を形成し、周辺回路の他

の一部（pチャネル型MISFET形成領域）の半導体基板1に浅いn型ウェル6を形成する。ここまでの工程は、前記実施の形態1と同じである。

【0082】次に、図20に示すように、半導体基板1を800℃程度で熱酸化してp型ウェル5、n型ウェル6のそれぞれの表面に膜厚15nm程度のゲート酸化膜30を形成した後、図21に示すように、半導体基板1上に600℃程度の熱CVD法で多結晶シリコン膜（図示せず）を膜厚200程度堆積した後、フォトリソ膜をマスクにしてこの多結晶シリコン膜31をドライエッチングすることにより、メモリセルのゲート電極31aおよび周辺回路のゲート電極31b、31cを形成する。

【0083】次に、図22に示すように、上記ゲート電極31a、31b、31cの上部を含む半導体基板1上にCVD法で膜厚20nm程度の窒化シリコン膜32を堆積した後、窒化シリコン膜32の上部にCVD法で膜厚50nm程度の酸化シリコン膜33を堆積する。

【0084】次に、図23に示すように、メモリセルのソース形成領域とその近傍に開孔部を設けた膜厚1μm程度のフォトリソ膜をマスクにして酸化シリコン膜33をウェットエッチングし、続いて上記フォトリソ膜をアッシングで除去した後、酸化シリコン膜33をマスクにして窒化シリコン膜32をウェットエッチングすることにより、メモリセルのソース形成領域とその近傍のゲート電極31aとを覆っている窒化シリコン膜32を除去する。

【0085】次に、図24に示すように、上記窒化シリコン膜32をマスクにしたウェットエッチングでメモリセルのソース形成領域を覆っているゲート酸化膜30を除去する。このとき、ソース形成領域に隣接してパターン形成されたゲート電極31aの下部のゲート酸化膜30もエッチングされ、その一部が端部から幅70nm程度にわたって除去（アンダーカット）される。

【0086】次に、図25に示すように、半導体基板1を750℃程度で熱酸化してメモリセルのソース形成領域とその近傍に露出したp型ウェル5の表面に膜厚5nm程度の酸化シリコン膜34を形成する。このとき、メモリセルのソース形成領域の近傍に露出しているゲート電極31aも同時に酸化され、その表面に膜厚5nm程度の酸化シリコン膜35が形成される。

【0087】次に、図26に示すように、半導体基板1上にCVD法で膜厚10nm程度の窒化シリコン膜36を堆積する。これにより、ゲート電極10aの下部のソース形成領域側に酸化シリコン膜34、窒化シリコン膜36および酸化シリコン膜35からなる3層のゲート絶縁膜が形成される。

【0088】次に、図27に示すように、半導体基板1の全面に加速エネルギー40keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件でn型不純物（リン）をイオン打ち込みす

ることにより、ゲート電極10a、10cのそれぞれの両側のp型ウエル5およびゲート電極10bの両側のn型ウエル6に低不純物濃度の $n^-$ 型半導体領域37を形成する。

【0089】次に、図28に示すように、メモリセルのドレイン形成領域に開孔部を設けた膜厚 $1\mu\text{m}$ 程度のフォトリソ膜をマスクにして、加速エネルギー $50\text{keV}$ 、ドーズ量 $3\times 10^{15}/\text{cm}^2$ の条件でp型ウエル5にn型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのドレインを構成する $n^+$ 型半導体領域39

を形成する。

【0090】次に、図29に示すように、pチャネル型MISFET形成領域に開孔部を設けた膜厚 $1\mu\text{m}$ 程度のフォトリソ膜をマスクにして、加速エネルギー $50\text{keV}$ 、ドーズ量 $2\times 10^{13}/\text{cm}^2$ の条件でn型ウエル6にp型不純物（ニフ化ホウ素）をイオン打ち込みすることにより、ゲート電極31bの両側のn型ウエル6に前記 $n^-$ 型半導体領域37を補償して低不純物濃度の $p^-$ 型半導体領域38を形成する。

【0091】次に、図30に示すように、半導体基板1上にCVD法で膜厚 $200\text{nm}$ 程度の窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングすることにより、ゲート電極31a、31b、31cのそれぞれの側壁に幅 $150\text{nm}$ 程度のサイドウォールスペーサ42を形成する。このとき、ゲート電極31a、31b、31cの上部を覆っている酸化シリコン膜35および窒化シリコン膜35も同時にエッチングされ、ゲート電極31a、31b、31cの表面が露出する。

【0092】次に、図31に示すように、pチャネル型MISFET形成領域に開孔部を設けた膜厚 $1\mu\text{m}$ 程度のフォトリソ膜をマスクにして、加速エネルギー $50\text{keV}$ 、ドーズ量 $3\times 10^{15}/\text{cm}^2$ の条件でn型ウエル6にp型不純物（ニフ化ホウ素）をイオン打ち込みすることにより、pチャネル型MISFETのソース、ドレインを構成する高不純物濃度の $p^+$ 型半導体領域40を形成する。

【0093】続いて、メモリセルのソース形成領域とnチャネル型MISFET形成領域とに開孔部を設けた膜厚 $1\mu\text{m}$ 程度のフォトリソ膜をマスクにして、加速エネルギー $50\text{keV}$ 、ドーズ量 $2\times 10^{15}/\text{cm}^2$ の条件でp型ウエル5にn型不純物（ヒ素）をイオン打ち込みすることにより、メモリセルのソースを構成する高不純物濃度の $n^+$ 型半導体領域41と、nチャネル型MISFETのソース、ドレインを構成する高不純物濃度の $n^+$ 型半導体領域41とを形成する。ここまでの工程で、メモリセル（MISFETQm）と周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）とが完成する。

【0094】次に、半導体基板1の表面をウェットエッチングしてそれぞれのMISFETのソース、ドレイン

の表面を覆っている酸化シリコン膜34を除去した後、図32に示すように、ゲート電極31a、31b、31cおよびソース、ドレイン（ $n^+$ 型半導体領域39、 $p^+$ 型半導体領域40、 $n^+$ 型半導体領域41）の表面に低抵抗のシリサイド層43を形成する。シリサイド層43は、例えば半導体基板1上にスパッタリング法でCo（コバルト）膜、Ti（コバルト）膜などの高融点金属膜を堆積し、次いで半導体基板1を熱処理して高融点金属膜と基板（Si）およびゲート電極（31a～31c）とを反応させてCoシリサイド層を形成した後、未反応の高融点金属膜をウェットエッチングで除去することにより形成する。

【0095】次に、図33に示すように、前記実施の形態1と同様の方法により、半導体基板1上に堆積した酸化シリコン膜44にコンタクトホール45、46、47を形成した後、酸化シリコン膜44の上部に配線48～52を形成することにより、本実施の形態2のフラッシュメモリが略完成する。

【0096】図34は、上記した製造方法で使用するフォトマスクの一覧表である。全工程で使用する13枚のフォトマスクのうち、メモリセルの製造に固有のフォトマスクは窒化シリコン膜の加工用（No. 6）とドレイン形成用（No. 7）の2枚であり、非常に簡略化されている。

【0097】また、上記した方法で製造したフラッシュメモリの書き込み／消去動作特性およびリテンション特性は、前記実施の形態1のフラッシュメモリと同程度であった。

【0098】（実施の形態3）図35は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0099】前記実施の形態1のメモリセル（MISFETQm）は、ドレイン側のゲート絶縁膜を1層の酸化シリコン膜9で構成しているのに対し、本実施の形態では、ドレイン側のゲート絶縁膜を酸化シリコン膜9およびその下層に形成した酸化シリコン膜60の2層膜で構成している。また、これら2層の酸化シリコン膜9、60で構成されたドレイン側のゲート絶縁膜の電気的容量膜厚は、酸化シリコン膜7、9とそれらに挟まれた窒化シリコン膜8とで構成されたソース側のゲート絶縁膜の電気的容量膜厚にほぼ等しい。すなわち、このメモリセルのゲート絶縁膜は、ドレイン側とソース側とがほぼ等しい電気的容量膜厚（例えば $17.5\text{nm}$ 程度）で構成されている。

【0100】本実施の形態のメモリセルの上記した以外の構成およびプログラム動作は、前記実施の形態1のメモリセルと同じである。また、本実施の形態のメモリセルの製造方法は、半導体基板1を熱処理して酸化シリコン膜60を形成する工程が一工程増える以外は、前記実施の形態1の製造方法と同じである。

【0101】本実施の形態のフラッシュメモリによれば、ゲート絶縁膜の電気的容量膜厚をゲート電極10aの下部全体でほぼ同じにしたことにより、ソース側のゲート絶縁膜（酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7）のゲート長方向に沿った長さが製造プロセスのばらつきによって変動した場合でも、ドレイン電流の駆動能力が変動することがない。これにより、書き込み動作時のドレイン電流が一定となるので、書き込み時間の変動が防止され、安定なメモリセル特性を得ることが可能となる。

【0102】（実施の形態4）図36は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0103】前記実施の形態1のメモリセルは、ソース側のゲート絶縁膜のみを3層膜（酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7）で構成しているのに対し、本実施の形態では、ゲート電極10aの下部のゲート絶縁膜全体を上記3層膜（酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7）で構成している。これら3層膜の膜厚は、いずれも7nm程度である。

【0104】本実施の形態のメモリセルの上記した以外の構成およびプログラム動作は、前記実施の形態1のメモリセルと同じである。また、本実施の形態のメモリセルの製造方法は、酸化シリコン膜7と窒化シリコン膜8とをパターンニングしてソース側のみに残す工程が工程省略される以外は、前記実施の形態1の製造方法と同じである。このメモリセルの書き込みは、1μ秒であった。

【0105】（実施の形態5）図37は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0106】このフラッシュメモリは、記憶素子部であるMISFETQcと選択用MISFETQsとでメモリセルを構成している。記憶素子部のMISFETQcは、主として膜厚8nm程度の下部ゲート酸化膜70と、膜厚10nm程度の窒化シリコン膜71と、膜厚10nm程度の上部ゲート酸化膜72とからなる3層構造のゲート絶縁膜上に形成された多結晶シリコン膜などからなる書き込み/消去用のゲート電極（PEG）73と、このゲート電極73の両側の半導体基板1に形成されたソース、ドレイン（接続拡散層）とで構成されている。

【0107】ソースは、一端部がゲート電極73の下部まで延在する低不純物濃度の $n^-$ 型半導体領域74と、ゲート電極73に対してオフセットするように形成された高不純物濃度の $n^+$ 型半導体領域75とで構成されており、ドレイン（接続拡散層）は、一端部がゲート電極73の下部まで延在する高不純物濃度の $n^+$ 型半導体領域76で構成されている。

【0108】また、選択用MISFETQsは、主として厚さ4nm程度のゲート酸化膜77の上部に形成された

多結晶シリコン膜などからなる選択用のゲート電極（SG）78と、このゲート電極78の両側の半導体基板1に形成されたソース（接続拡散層）、ドレインとで構成されている。ドレインは、一端部がゲート電極78の下部まで延在する高不純物濃度の $n^+$ 型半導体領域79で構成されている。ソースは、上記MISFETQcのドレインである高不純物濃度の $n^+$ 型半導体領域76で構成され、その一端部はゲート電極78の下部まで延在している。

10 【0109】上記フラッシュメモリのプログラム動作を図38（メモリセルの動作電圧表）を用いて説明する。書き込みは、選択用MISFETQsのドレインに5V、ゲート電極78に2Vを印加して選択用MISFETQsをオン（ON）にし、記憶素子部のMISFETQcのソースを接地電位（0V）とし、ゲート電極73に5Vを印加することにより、ソースの一部を構成する低不純物濃度の $n^-$ 型半導体領域74の近傍に電界強度のピークを生じさせる。これにより、この領域で発生したホットエレクトロンが窒化シリコン膜71中の電子トラップに注入され、MISFETQcのゲート電極73から見たしきい値電圧が4V以上に上昇することによって書き込みが行われる。このメモリセルは、ゲート電極73に印加する電圧でドレイン電流を抑制することができるので、基板および書き込み/消去用のゲート電極の電位を制御し、直接トンネル酸化膜を介して基板側から窒化シリコン膜中へ電子を全面注入する従来のMNOS型メモリセルに比べると、より低い消費電力で書き込みを行うことができる。

30 【0110】消去動作は、MISFETQcのゲート電極73に-10V、ソースとウェルとに5Vを印加し、窒化シリコン膜71中の電子を放出することによって行う。また、読み出し動作は、選択用MISFETQsのドレインおよびゲート電極78と、MISFETQcのゲート電極73とに2Vを印加し、MISFETQcのしきい値電圧を判定することによって行う。

【0111】（実施の形態6）図39は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

40 【0112】このメモリセルを構成するMISFETは、主としてゲート絶縁膜上に形成された多結晶シリコン膜などからなるゲート電極83と、このゲート電極83の両側の半導体基板1に形成されたソース、ドレインとで構成されている。ソースは、一端部がゲート電極83の下部まで延在する高不純物濃度の $n^+$ 型半導体領域84で構成されており、ドレインは、一端部がゲート電極83の下部まで延在する低不純物濃度（ $1 \times 10^{18} \sim 10^{19}/\text{cm}^3$ 程度）の $p^-$ 型半導体領域85と、ゲート電極83に対してオフセットするように形成された高不純物濃度の $n^+$ 型半導体領域86とで構成されている。また、ゲート絶縁膜は、ソース側が膜厚10nm程度のゲ

ト酸化膜82で構成されているのに対し、ドレイン側が膜厚8nm程度の下部ゲート酸化膜80と、膜厚10nm程度の窒化シリコン膜81と、膜厚10nm程度の上部ゲート酸化膜82とで構成されている。このように、本実施の形態のメモリセルは、書き込み時のホットエレクトロン注入をドレイン側で行う点に特徴がある。

【0113】図40に示すように、このフラッシュメモリの読み出しおよび消去動作は、前記実施の形態1のメモリセルと同じである。一方、書き込みは、選択したメモリセルのドレインを接地電位(0V)とし、ゲート電極83およびソースにそれぞれ5Vの正電圧を印加して行う。

【0114】図41は、書き込み動作時における各端子への電圧印加の時間変化を示すグラフである。書き込みは、まず選択したメモリブロックの共通ソース線を5Vに充電した後、全ビット線を5Vへプリチャージする。次に、選択したワード線のみを5Vに昇圧した後、選択したビット線のみを0Vに降下させる。この0Vに降下させた時間が書き込み時間であり、この時間内に選択したメモリセルのソースからドレイン方向へチャネル電流が流れる。このとき、図42に示すように、ソース側5V、ドレイン側0Vに設定された電位の大半は、低濃度ドレイン(p<sup>-</sup>型半導体領域85)領域で降下するために、ドレイン端部に電界強度のピークが生じる。そして、この高電界によって発生したホットエレクトロンが、選択したワード線に印加された5Vの縦方向電界によって加速され、窒化シリコン膜81中の電子トラップに注入されることにより、書き込みが行われる。

【0115】(実施の形態7)図43は、本実施の形態のフラッシュメモリのセル構造を示す半導体基板の要部断面図である。

【0116】このメモリセルは、書き込み時のホットエレクトロン注入をドレイン側で行うもので、一端部がゲート電極83の下部まで延在する低不純物濃度のn<sup>-</sup>型半導体領域87と、ゲート電極83に対してオフセットするように形成された高不純物濃度のn<sup>+</sup>型半導体領域84とでソースが構成されている以外は、前記実施の形態6と同一のセル構造を有している。

【0117】書き込みは、前記実施の形態6と同様、選択したメモリブロックの共通ソース線を5Vに充電した後、全ビット線を5Vへプリチャージすることにより開始される。ところで、この書き込み用の5V電源が、チップ上に形成された昇圧回路のような内部電源である場合は、電源の供給能力に限られるために、充電される共通ソース線の接合リーク電流が大きいと、十分な電圧に充電できないという問題が生じる。本実施の形態では、ソース側に低不純物濃度のn<sup>-</sup>型半導体領域87を形成したことにより、書き込み時にソースを充電する際、ソース接合の電界が緩和され、ソース接合のリーク電流低減および接合耐圧の向上が図られるので、上記のような

問題を回避することができる。

【0118】(実施の形態8)図44は、本実施の形態のフラッシュメモリのセル構造を示す要部平面図、図45は、図44のA-A'線に沿った半導体基板の要部断面図である。

【0119】本実施の形態のメモリセルを構成するMISFETQmは、前記実施の形態1と同様、ソース側のゲート絶縁膜を3層膜(酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7)で構成し、ドレイン側を1層の酸化シリコン膜9で構成している。一方、ビット線DLとドレイン(n<sup>+</sup>型半導体領域92)とは、ドレインの上部に形成したプラグ98を介して電気的に接続されている。また、ゲート電極90の延在方向に沿った複数のメモリセルのソース(n<sup>+</sup>型半導体領域92)は、その上部に形成したプラグ98によって構成されたソース線(SL)を介して電気的に接続されている。

【0120】上記メモリセルを製造するには、まず図46に示すように、前記実施の形態1と同様の方法でp型の半導体基板1に深いn型ウエル4と浅いp型ウエル5とを形成した後、p型ウエル5の表面に、ソース側が3層膜(酸化シリコン膜9、窒化シリコン膜8、酸化シリコン膜7)で構成され、ドレイン側が1層の酸化シリコン膜9で構成されたゲート絶縁膜を形成する。

【0121】上記酸化シリコン膜7は、半導体基板1を800℃程度で熱酸化して形成し、その膜厚は11nm程度とする。また、窒化シリコン膜8は730℃程度の熱CVD法で形成し、その膜厚は10nm程度とする。さらに、酸化シリコン膜9は上記窒化シリコン膜8と酸化シリコン膜7とをパターニングして、メモリセルのソース形成領域とその近傍のみにこれらの膜を残した後、半導体基板1を800℃程度で熱酸化して形成し、その膜厚は15nm程度とする。

【0122】次に、図47に示すように、酸化シリコン膜9の上部にCVD法で膜厚100nm程度、リン濃度 $2 \times 10^{20}/\text{cm}^3$ 程度の多結晶シリコン膜を堆積し、次いでその上部にCVD法で膜厚200nm程度の窒化シリコン膜93を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングすることにより、上記多結晶シリコン膜で構成されたゲート電極90を形成する。

【0123】次に、図48に示すように、ソース形成領域に開孔部を設けたフォトレジスト膜をマスクにして、加速エネルギー20keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件で斜め30度の方向からp型ウエル5にp型不純物(ホウ素)をイオン打ち込みすることにより、p<sup>-</sup>型半導体領域91を形成する。続いて、メモリセルアレイ領域の全面に加速エネルギー50keV、ドーズ量 $2 \times 10^{15}/\text{cm}^2$ の条件でn型不純物(ヒ素)をイオン打ち込みすることにより、ゲート電極90の両側のp型ウエル5にソース、ドレインを構成するn<sup>+</sup>型半導体領域92を

形成する。

【0124】次に、図49に示すように、半導体基板1上にCVD法で窒化シリコン膜（を堆積した後、この窒化シリコン膜を異方性エッチングすることにより、ゲート電極90の側壁にサイドウォールスペーサ94を形成する。このとき、ソース、ドレインの表面を覆っているゲート絶縁膜も同時にエッチングされる。

【0125】次に、図50に示すように、半導体基板1上にCVD法で酸化シリコン膜95を堆積した後、ソース、ドレインの上部に開孔部を設けたフォトリソスト膜をマスクにして、この酸化シリコン膜95をエッチングすることにより、ソースの上部を含むソース線形成領域にコンタクトホール96を形成し、ドレインの上部にコンタクトホール97を形成する。

【0126】上記酸化シリコン膜95をエッチングする工程では、ゲート電極90の側壁に形成された窒化シリコンのサイドウォールスペーサ94がエッチングストップとして機能するので、上記コンタクトホール96、97は、ゲート電極90のスペースに対して自己整合（セルフアライン）で形成される。これにより、コンタクトホール96、97とゲート電極90との合わせ余裕が不要となるので、ゲート電極90のスペースを最小加工寸法で設計することができる。

【0127】次に、図51に示すように、コンタクトホール96の内部にソース線（SL）を形成し、コンタクトホール97の内部にプラグ98を形成する。ソース線（SL）およびプラグ98は、酸化シリコン膜95の上部にn型不純物をドーパした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜の表面を化学的機械的研磨（CMP）法で平坦化することにより形成する。

【0128】その後、酸化シリコン膜95の上部にCVD法で酸化シリコン膜99を堆積した後、酸化シリコン膜99の上部にスパッタリング法でA1合金膜を堆積し、フォトリソスト膜をマスクにしたドライエッチングでこのA1合金膜をパターニングしてビット線DLを形成することにより、前記図44および図45に示す本実施の形態のフラッシュメモリが略完成する。

【0129】本実施の形態によれば、ゲート電極90のスペースを最小加工寸法で設計することができるので、ゲート長0.3 $\mu$ mでセル面積を0.5 $\mu$ m $\times$ 0.4 $\mu$ m=0.2 $\mu$ m<sup>2</sup>まで縮小することができた。また、メモリセルの書き込み時間は5マイクロ秒、消去時間は10ミリ秒であり、前記実施の形態1と同様の十分に安定したリテンション特性を確認することができた。

【0130】以上、本発明者によってなされた発明を前記実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0131】本発明の不揮発性メモリは、セル構造が単純で、製造プロセスも簡略であることから、同一半導体基板上に不揮発性メモリとロジックLSIとを混載するLSIへの適用も容易である。

【0132】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0133】本発明の不揮発性メモリは、メモリセルが単一のMISFETで構成されているために、書き込み／消去動作を比較的簡便に行うことができ、必要とする周辺回路の面積を増加させることがない。また、製造工程も簡略である。

【0134】本発明の不揮発性メモリは、書き込み動作の際、ゲート電極とドレインとに正電圧を印加し、ソース近傍で発生させたホットエレクトロンを窒化シリコン膜中の電子トラップに注入する方式を採用するため、接地電位のソースとゲート電極間の電位差が大きくなることによって注入効率が向上し、従来のセル構造に比べてより低電圧での動作が可能となる。

【0135】本発明の不揮発性メモリの製造方法は、メモリセルのソース側のゲート絶縁膜（酸化シリコン膜、窒化シリコン膜、酸化シリコン膜からなる3層の絶縁膜）をゲート電極に対して自己整合（セルフアライン）で形成するので、従来のフローティングゲート型メモリセルと同等のセル面積に設計することができ、スケラビリティに優れた不揮発性メモリを実現することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1であるフラッシュメモリの主要部を示す概略回路図である。

【図2】本発明の実施の形態1であるフラッシュメモリの要部を示す断面図である。

【図3A】本発明の実施の形態1であるフラッシュメモリの導体層パターンを示す平面図である。

【図3B】本発明の実施の形態1であるフラッシュメモリの導体層パターンを示す平面図である。

【図4】本発明の実施の形態1であるフラッシュメモリのプログラム動作を説明する概略断面図である。

【図5】本発明の実施の形態1であるフラッシュメモリのプログラム動作を説明する動作電圧表である。

【図6】本発明の実施の形態1であるフラッシュメモリの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフである。

【図7】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図8】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図9】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。



【図10】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図11】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図12】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図13】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図14】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図15】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図16】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図17】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図18】本発明の実施の形態1であるフラッシュメモリの製造方法を示す要部断面図である。

【図19】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図20】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図21】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図22】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図23】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図24】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図25】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図26】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図27】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図28】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図29】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図30】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図31】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図32】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図33】本発明の実施の形態2であるフラッシュメモリの製造方法を示す要部断面図である。

【図34】本発明の実施の形態2であるフラッシュメモリの製造方法を示すフロー図である。

【図35】本発明の実施の形態3であるフラッシュメモリの概略断面図である。

【図36】本発明の実施の形態4であるフラッシュメモリの概略断面図である。

【図37】本発明の実施の形態5であるフラッシュメモリの概略断面図である。

【図38】本発明の実施の形態5であるフラッシュメモリのプログラム動作を説明する動作電圧表である。

【図39】本発明の実施の形態6であるフラッシュメモリの概略断面図である。

【図40】本発明の実施の形態6であるフラッシュメモリのプログラム動作を説明する動作電圧表である。

【図41】本発明の実施の形態6であるフラッシュメモリの書き込み動作時における電圧印加の時間変化を示すグラフである。

【図42】本発明の実施の形態6であるフラッシュメモリの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフである。

【図43】本発明の実施の形態7であるフラッシュメモリの概略断面図である。

【図44】本発明の実施の形態8であるフラッシュメモリのセル構造を示す要部平面図である。

【図45】図44のA-A'線に沿った半導体基板の要部断面図である。

【図46】本発明の実施の形態8であるフラッシュメモリの製造方法を示す要部断面図である。

【図47】本発明の実施の形態8であるフラッシュメモリの製造方法を示す要部断面図である。

【図48】本発明の実施の形態8であるフラッシュメモリの製造方法を示す要部断面図である。

【図49】本発明の実施の形態8であるフラッシュメモリの製造方法を示す要部断面図である。

【図50】本発明の実施の形態8であるフラッシュメモリの製造方法を示す要部断面図である。

【図51】本発明の実施の形態8であるフラッシュメモリの製造方法を示す要部断面図である。

【図52】フローティングゲート型メモリセルのセル構造を示す概略断面図である。

【図53】MNOS型メモリセルのセル構造を示す概略断面図である。

【図54】選択用ゲート電極とサイドウォールゲート電極とを有するメモリセルのセル構造を示す概略断面図である。

【図55】図54に示すフラッシュメモリの書き込み動作時におけるチャネル領域の電位分布と電界強度分布とを示すグラフである。

【符号の説明】

1 半導体基板

2 フィールド酸化膜

3 酸化シリコン膜

4 (深い) n型ウェル  
 5 p型ウェル  
 6 n型ウェル  
 7 酸化シリコン膜  
 8 窒化シリコン膜  
 9 酸化シリコン膜  
 10 a、10 b、10 c ゲート電極  
 11 n<sup>-</sup>型半導体領域  
 12 p<sup>-</sup>型半導体領域  
 13 n<sup>+</sup>型半導体領域  
 14 p<sup>+</sup>型半導体領域  
 15 n<sup>+</sup>型半導体領域  
 16 サイドウォールスペーサ  
 17 酸化シリコン膜  
 20～22 コンタクトホール  
 23～27 配線  
 30 ゲート酸化膜  
 31 a、31 b、31 c ゲート電極  
 32 窒化シリコン膜  
 33 酸化シリコン膜  
 34 酸化シリコン膜  
 35 酸化シリコン膜  
 36 窒化シリコン膜  
 37 n<sup>-</sup>型半導体領域  
 38 p<sup>-</sup>型半導体領域  
 39 n<sup>+</sup>型半導体領域  
 40 p<sup>+</sup>型半導体領域  
 41 n<sup>+</sup>型半導体領域  
 42 サイドウォールスペーサ  
 43 シリサイド層  
 44 酸化シリコン膜  
 45～47 コンタクトホール  
 48～52 配線 60 酸化シリコン膜  
 70 下部ゲート酸化膜  
 71 窒化シリコン膜  
 72 上部ゲート酸化膜  
 73 ゲート電極  
 74 n<sup>-</sup>型半導体領域  
 75 n<sup>+</sup>型半導体領域  
 76 n<sup>+</sup>型半導体領域  
 77 ゲート酸化膜  
 78 ゲート電極  
 79 n<sup>+</sup>型半導体領域  
 80 下部ゲート酸化膜  
 81 窒化シリコン膜  
 82 (上部) ゲート酸化膜  
 83 ゲート電極  
 84 n<sup>+</sup>型半導体領域  
 85 p<sup>-</sup>型半導体領域  
 86 n<sup>+</sup>型半導体領域

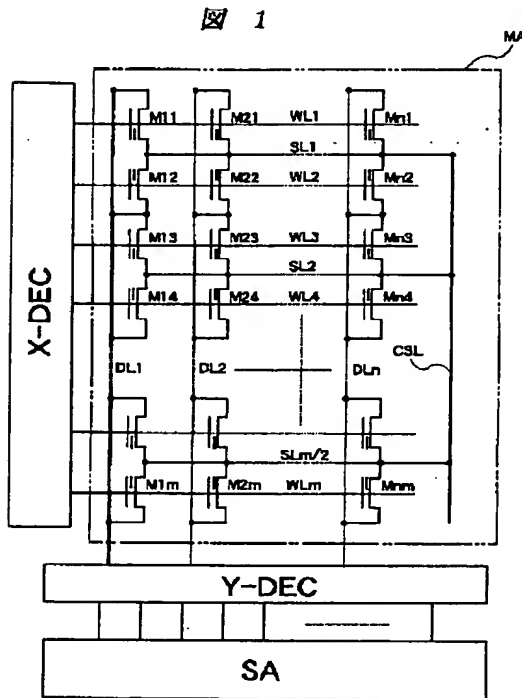
87 n<sup>-</sup>型半導体領域  
 90 ゲート電極  
 91 p<sup>-</sup>型半導体領域  
 92 n<sup>+</sup>型半導体領域 (ソース、ドレイン)  
 93 窒化シリコン膜 (キャップ)  
 94 サイドウォールスペーサ  
 95 酸化シリコン膜  
 96、97 コンタクトホール  
 98 プラグ  
 10 99 酸化シリコン膜  
 101 シリコン基板  
 102 ゲート酸化膜  
 103 フローティングゲート  
 104 層間絶縁膜  
 105 コントロールゲート  
 106 ソース  
 107 ドレイン  
 108 電子  
 111 シリコン基板  
 20 112 直接トンネル酸化膜  
 113 窒化シリコン膜  
 114 ゲート酸化膜  
 115 a、115 b ゲート電極  
 116 ソース  
 117 接続拡散層ドレイン  
 118 ゲート酸化膜  
 119 ドレイン  
 121 シリコン基板  
 122 ゲート酸化膜  
 30 123 選択用ゲート電極  
 124 酸化シリコン膜  
 125 窒化シリコン膜  
 126 酸化シリコン膜  
 127 サイドウォールゲート電極  
 128 ソース  
 129 ドレイン  
 CSL 共通ソース線  
 DL (DL1～DLn) ビット線  
 MA メモリセルアレイ  
 40 M (M11～Mnm) メモリセル  
 Qc MISFET  
 Qm MISFET  
 Qs 選択用MISFET  
 SL (SL1～SLm/2) ソース線  
 SA センスアンプ  
 WL (WL1～WLm) ワード線  
 X-DEC ロウデコーダ  
 Y-DEC カラムデコーダ  
 【要約】  
 50 【課題】 フローティングゲート型メモリセルに匹敵す

るスケーラビリティと、MNOS型メモリセルと同等以上の高い信頼性とを併せ持った新規なセル構造の不揮発性メモリおよびその製造方法を提供する。

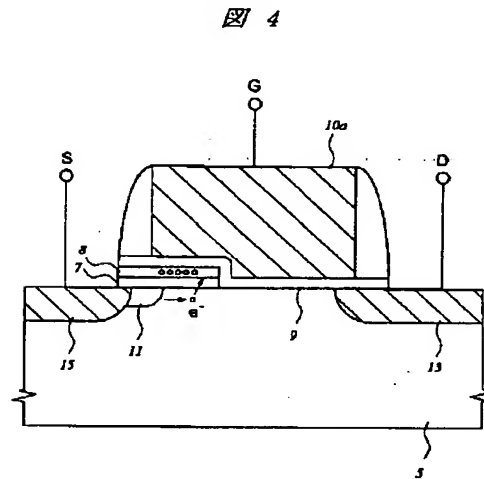
【解決手段】 不揮発性メモリを構成するMISFET Q<sub>m</sub>は、ゲート絶縁膜上に形成されたゲート電極10aと、一端がゲート電極10aの下部まで延在するn<sup>+</sup>型半導体領域13（ドレイン）と、ゲート電極10aに対

してオフセットするように形成されたn<sup>+</sup>型半導体領域15（高濃度ソース）と、一端がゲート電極10aの下部まで延在するn<sup>-</sup>型半導体領域11（低濃度ソース）とで構成される。ゲート絶縁膜は、ドレイン側が1層の酸化シリコン膜9で構成され、ソース側が酸化シリコン膜7と窒化シリコン膜8と酸化シリコン膜9とを積層した3層の絶縁膜で構成される。

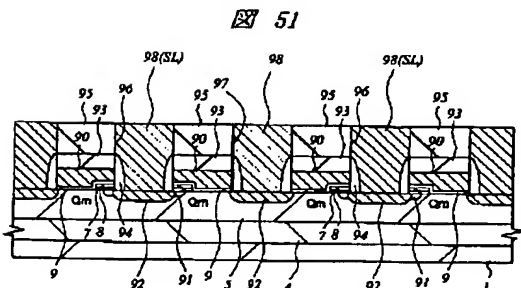
【図1】



【図4】



【図51】



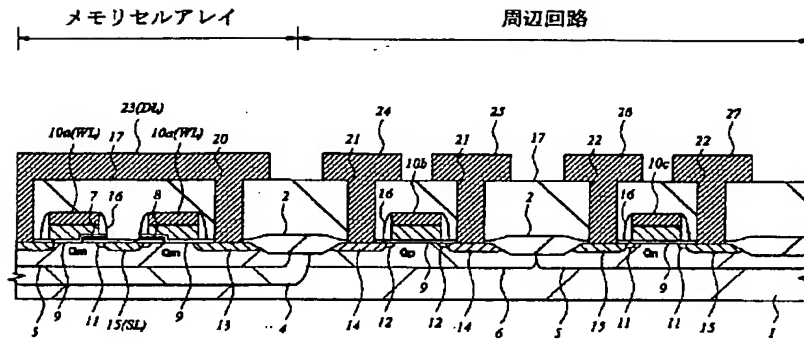
【図5】

図 5

| 端子   | ビット線<br>(ドレイン電圧) |     | ワード線<br>(ゲート電圧) |     | ソース線 | ウェル |
|------|------------------|-----|-----------------|-----|------|-----|
|      | 選択               | 非選択 | 選択              | 非選択 |      |     |
| 書き込み | 5V               | 0V  | 5V              | 0V  | 0V   | 0V  |
| 消去   | 0V               | 0V  | -10V            | 0V  | 5V   | 5V  |
| 読み出し | 2V               | 0V  | 2V              | 0V  | 0V   | 0V  |

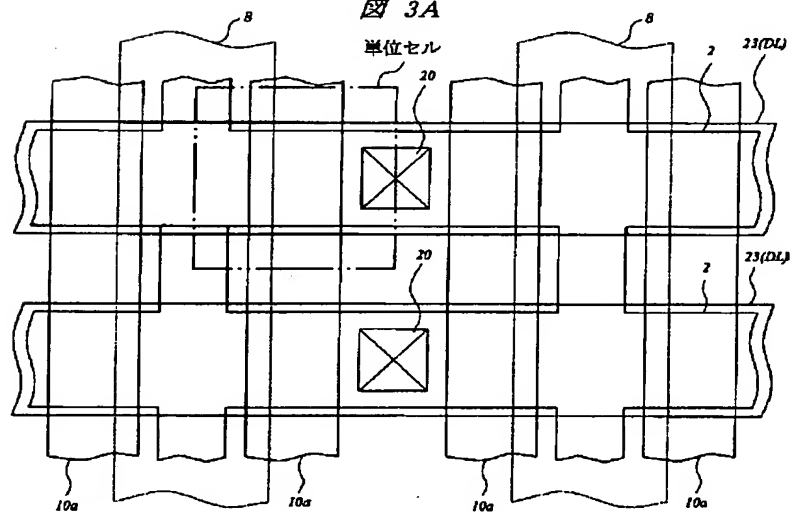
【図2】

図 2



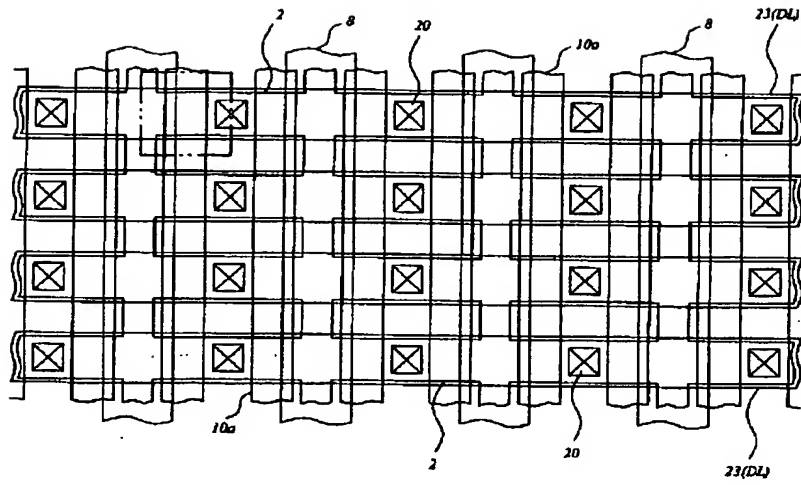
【図3A】

図 3A



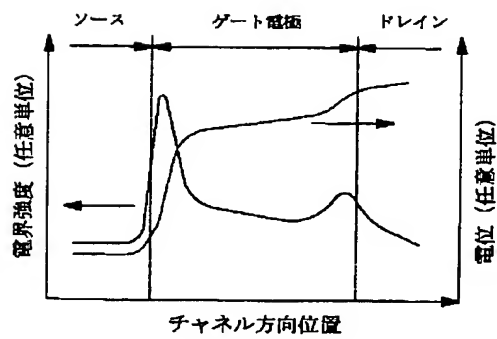
【図3B】

図 3B



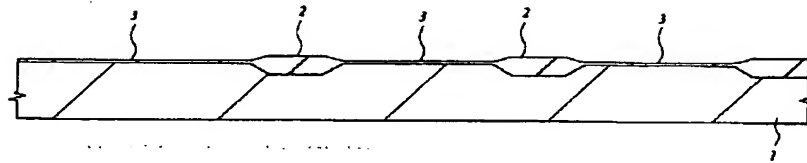
【図6】

図 6



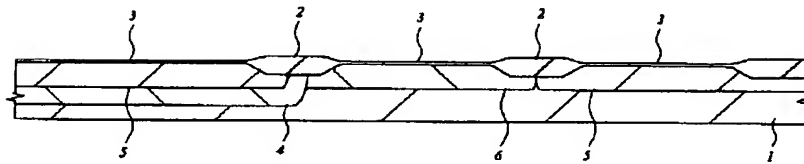
【図7】

図 7



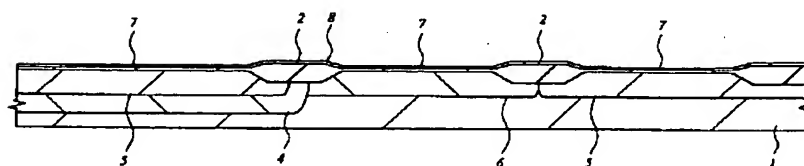
【図8】

図 8



【図9】

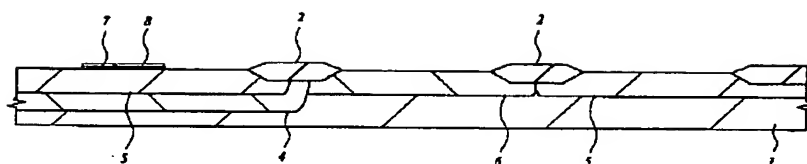
図 9





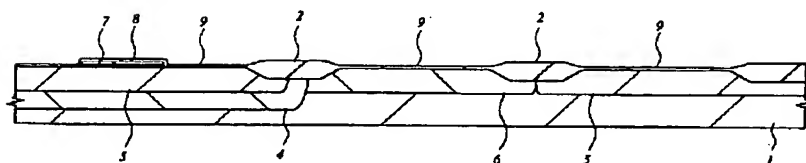
【図10】

図 10



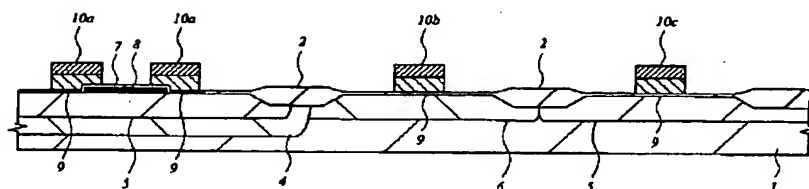
【図11】

図 11



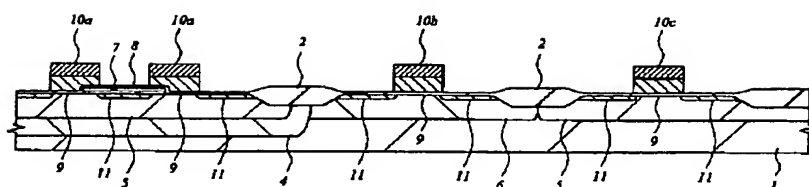
【図12】

図 12



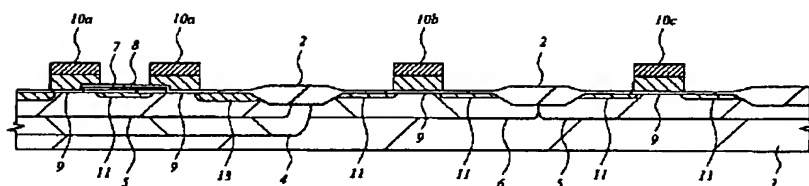
【図13】

図 13



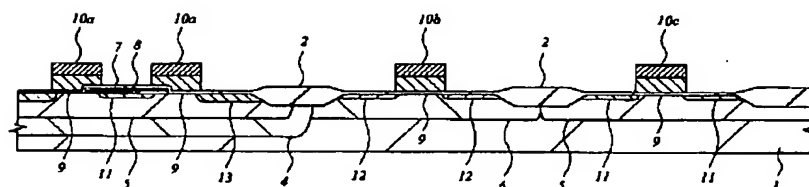
【図14】

図 14



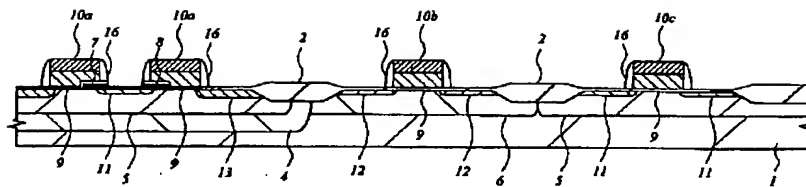
【図15】

図 15



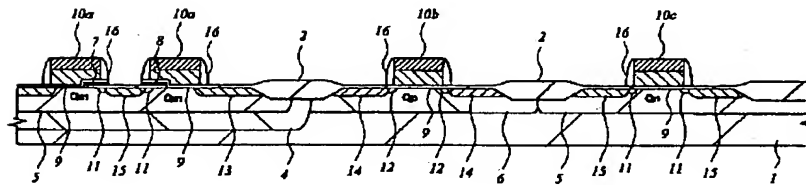
【図16】

図 16



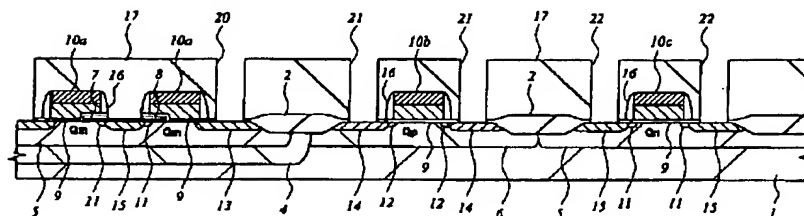
【図17】

図 17



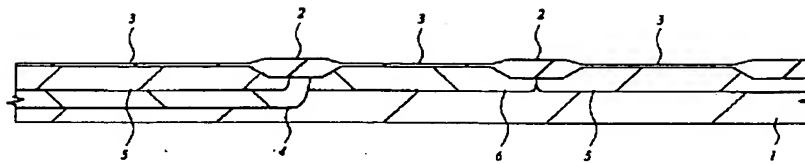
【図18】

図 18



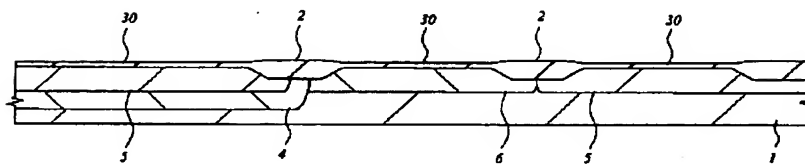
【図19】

図 19



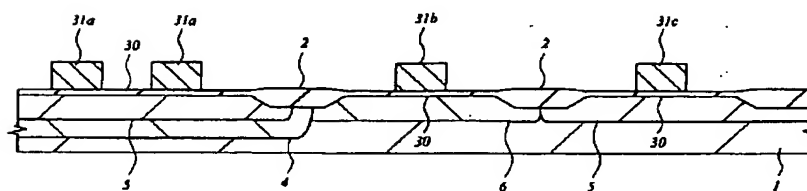
【図20】

図 20



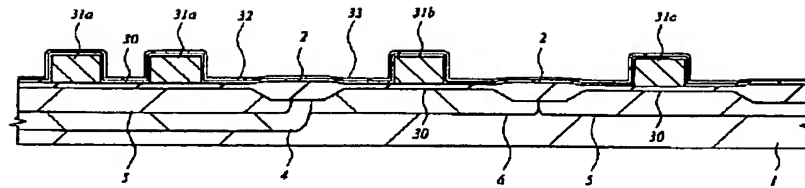
【図21】

図 21



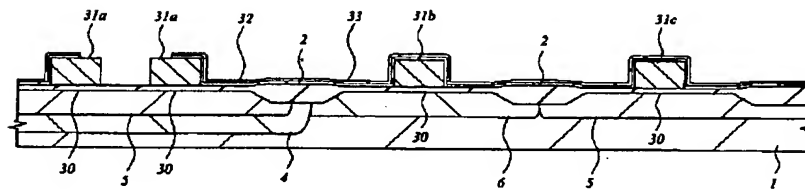
【図 2 2】

図 22



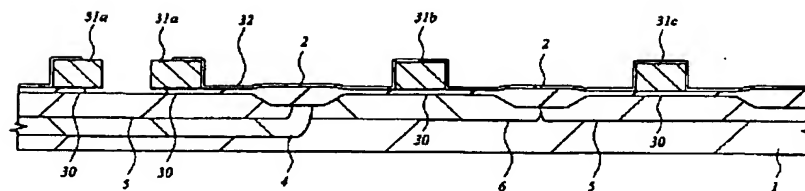
【図 2 3】

図 23



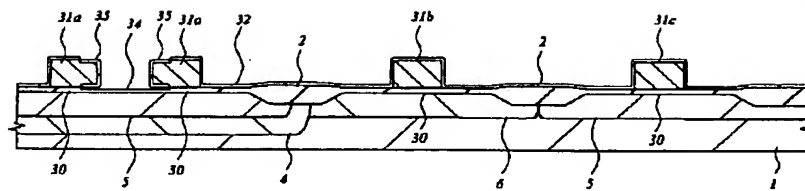
【図 2 4】

図 24



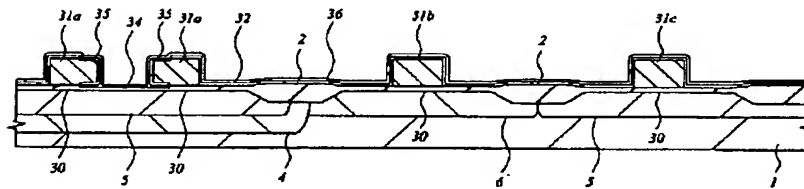
【図 25】

図 25



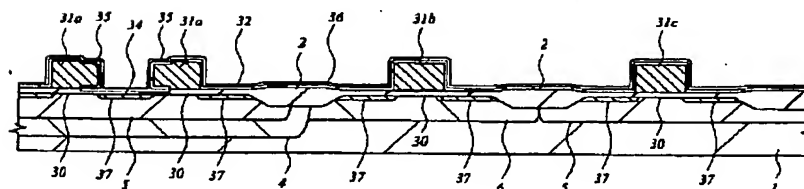
【図 26】

図 26



【図 27】

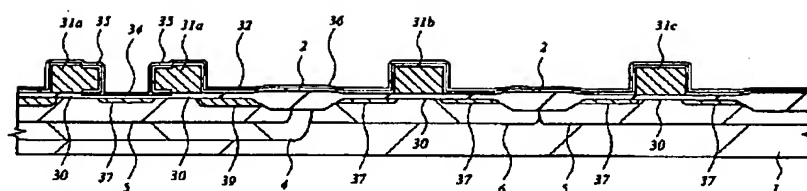
図 27





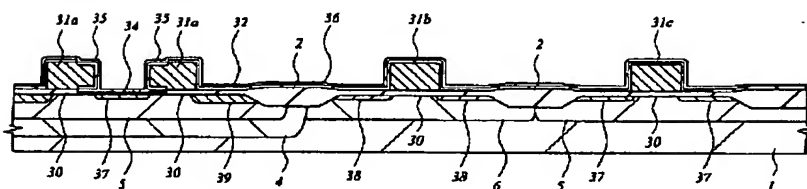
【図 28】

**图 28**



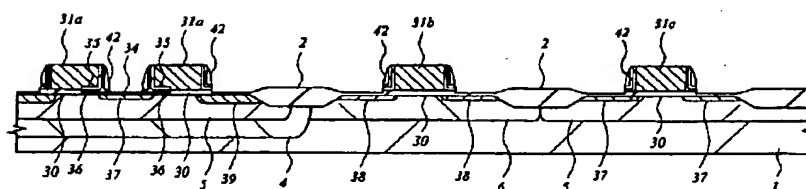
【图 29】

**29**



【図 30】


**30**





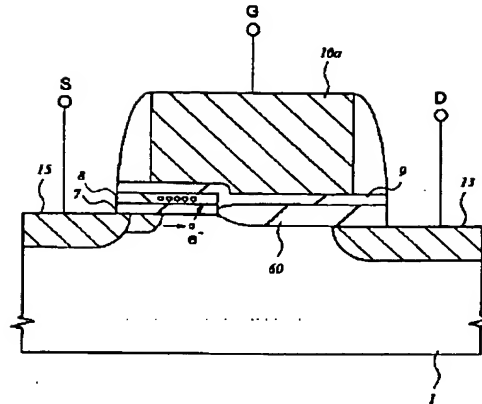
【図34】

図 34

1. アイソレーション形成
  2. 深いn型ウエルインブラ
  3. 浅いn型ウエルインブラ
  4. p型ウエルインブラ
  5. ゲート電極加工
- 
8. 周辺pMOS低濃度ソース、ドレインインブラ
  9. n+型半導体領域インブラ
  10. p+型半導体領域インブラ
  11. コンタクトホール開孔
  12. 第1メタル配線加工

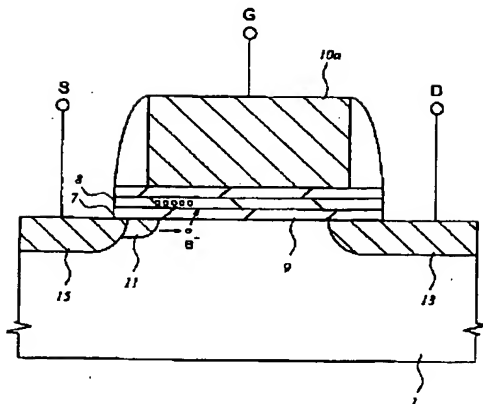
【図35】

図 35



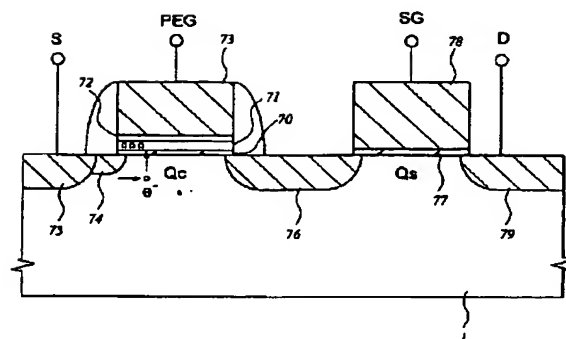
【図36】

図 36



【図37】

図 37



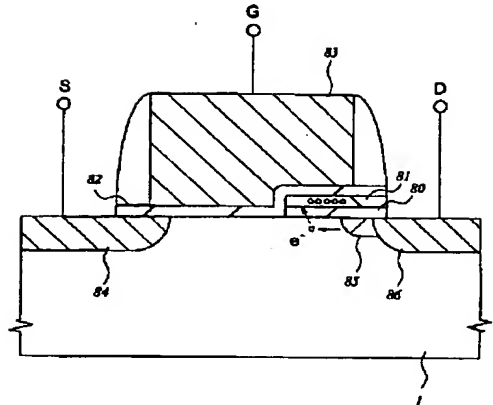
【図38】

図 38

| 端子   | ビット線 (D) |     | ワード線 (SQ) |     | 書き込み線 (PG) |     | ソース線 (S) | ウェル |
|------|----------|-----|-----------|-----|------------|-----|----------|-----|
|      | 選択       | 非選択 | 選択        | 非選択 | 選択         | 非選択 |          |     |
| 書き込み | 5V       | 0V  | 2V        | 0V  | 5V         | 0V  | 0V       | 0V  |
| 消去   | 0V       | 0V  | 0V        | 0V  | -10V       | 0V  | 5V       | 5V  |
| 読み出し | 2V       | 0V  | 2V        | 0V  | 2V         | 0V  | 0V       | 0V  |

【図39】

図 39



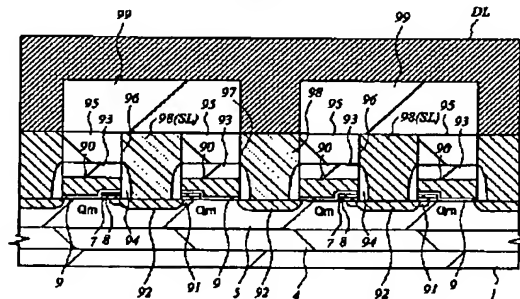
【図40】

図 40

| 端子   | ビット線 (ドレイン電圧) |     | ワード線 (ゲート電圧) |     | ソース線 | ウェル |
|------|---------------|-----|--------------|-----|------|-----|
|      | 選択            | 非選択 | 選択           | 非選択 |      |     |
| 書き込み | 0V            | 5V  | 5V           | 0V  | 5V   | 0V  |
| 消去   | 0V            | 0V  | -10V         | 0V  | 5V   | 5V  |
| 読み出し | 2V            | 0V  | 2V           | 0V  | 0V   | 0V  |

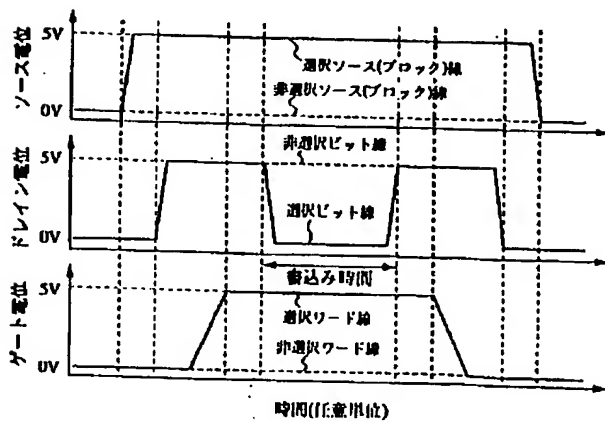
【図45】

図 45



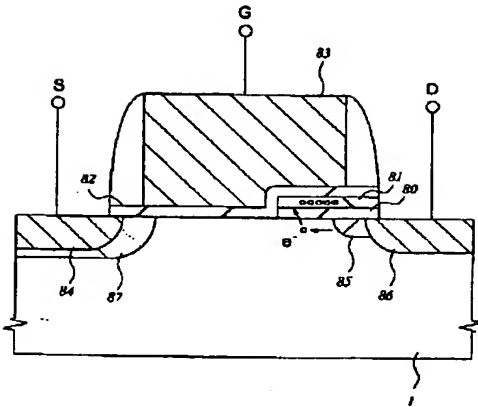
【図41】

図 41



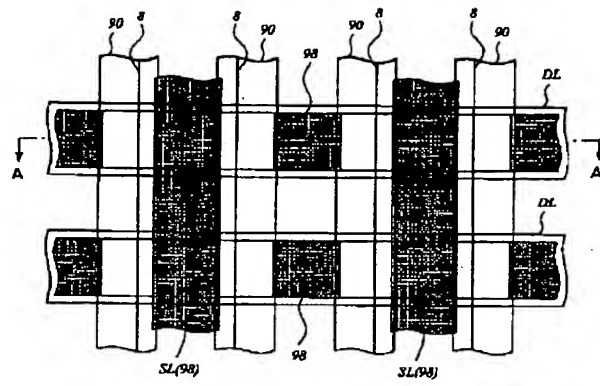
【図43】

図 43



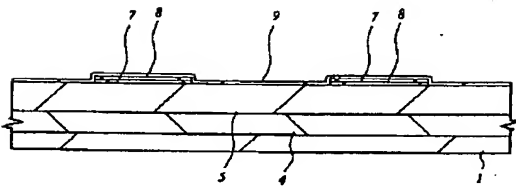
【図44】

図 44



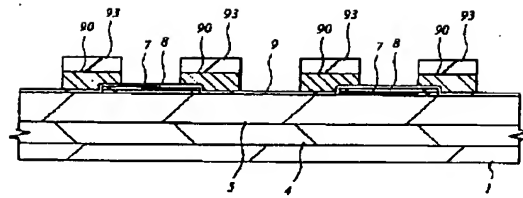
【図46】

図 46



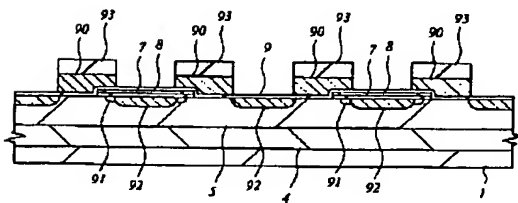
【図47】

図 47



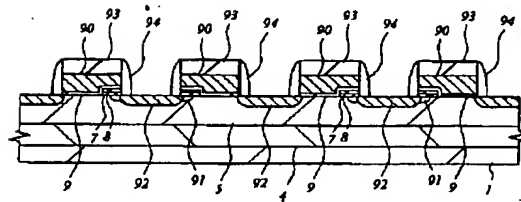
【図48】

図 48



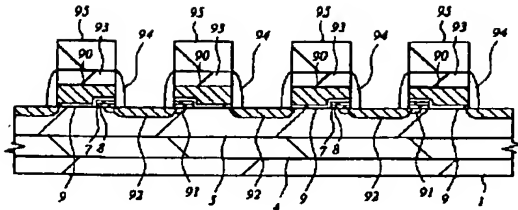
【図49】

図 49



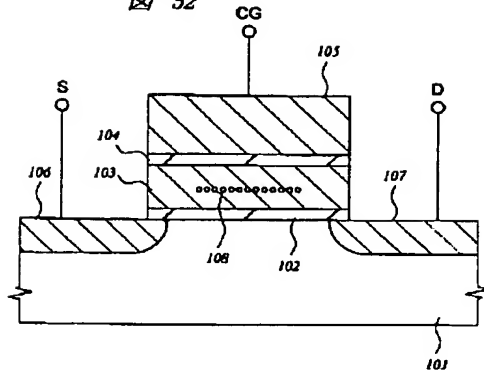
【図50】

図 50



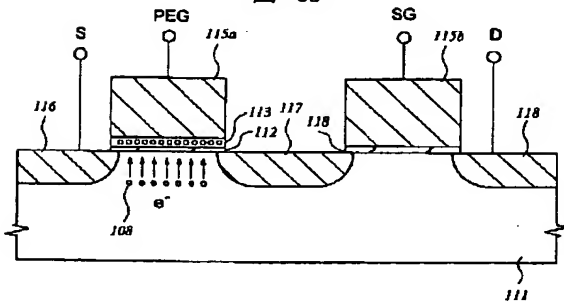
【図52】

図 52



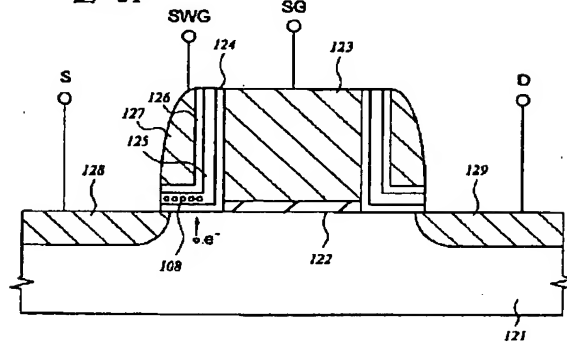
【図53】

図 53



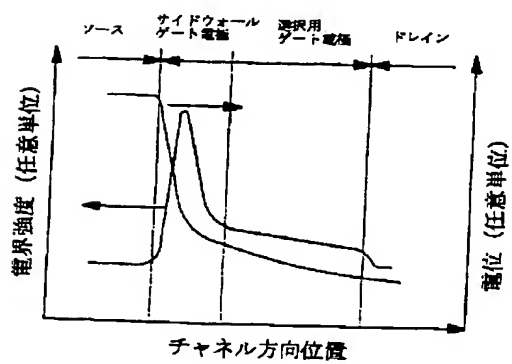
【図54】

図 54



【図55】

図 55





フロントページの続き

(56) 参考文献 特開 平6-350098 (J P, A)  
特開 平4-337672 (J P, A)  
特開 平6-232416 (J P, A)  
特開 平6-161833 (J P, A)  
特開 平7-78893 (J P, A)  
特開 平6-244434 (J P, A)  
特開 平2-295169 (J P, A)  
特開 平4-56283 (J P, A)

(58) 調査した分野(Int. Cl. <sup>6</sup>, D B名)

H01L 27/115

H01L 21/8247

H01L 29/788

H01L 29/792